
数字调谐系统锁相环

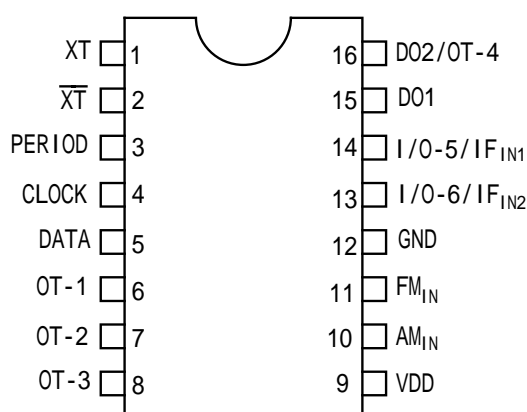
概述

CMD9256 是一个数字调谐系统锁相环电路，内置 2 个预分频系数。CMD9256 的所有功能都是通过 3 根串行总线控制的，适用于高性能的数字调谐系统。

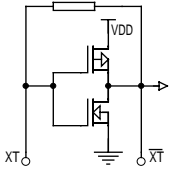
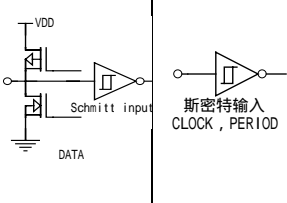
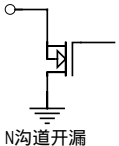
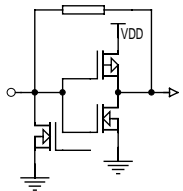
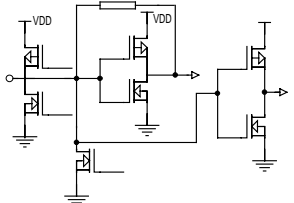
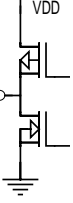
功能特点

- 优化高保真调谐器和汽车音响的数字调谐系统结构。
- 内置预定分频值。当输入 FMIN 信号时，输入频率范围为 30 ~ 150MHz 下，输入 AMIN 信号时，输入频率范围为 0.5 ~ 40MHz。
- 内部具有 16 位可编程计数器，并行输出相位比较器，晶体振荡器和参考计数器。
- 外部可以使用 3.6MHz,4.5MHz,7.2MHz 或 10.8MHz 晶体振荡器。
- 15 种可供参考的频率。(使用 4.5MHz 的晶振)
- 内置 20 位通用计数器，用来测量中频频率 (IFIN1 和 IFIN2)。
- 锁相环误差检测精度高 ($\pm 0.55 \sim \pm 7.15\mu s$)。
- 多个通用 I/O 管脚可以用于外设电路控制。
- 3 个 N 沟道开漏输出端口(OFF 耐压：13V)，用来控制信号输出。
- 待机模式功能 (关闭 FM，AM 和 IF 放大器以及晶振电路)，节约电流消耗。
- 所有功能由 3 根串行总线控制。
- CMOS 结构，工作电压范围：VDD= $5.0 \pm 0.5V$ 。

管脚排列图



管脚说明

管脚号	符号	管脚名称	功能说明	电路图
1	XT	晶体振荡器管脚	连接 3.6MHz, 4.5MHz, 7.2MHz 或 10.8MHz 的晶体振荡器, 用来提供参考频率和内部时钟	
2	\overline{XT}			
3	PERIOD	周期信号输入	串行 I/O 端口。这些管脚用来传输数据和通过控制器数据设置分频和分频模式, 控制通用计数器和通用输入/输出端口。	
4	CLOCK	时钟信号输入		
5	DATA	串行数据输入/输出		
6	OT-1	通用输出端口	N 沟道开漏端口管脚, 用来控制信号输出。这些管脚在电源加电时设置为关闭状态。	
7	OT-2			
8	OT-3			
10	AM _{IN}	可编程计数器输入	这些管脚通过耦合电容输入 FM 和 AM 频带本振信号。FM _{IN} 和 AM _{IN} 在低幅下操作。	
11	FM _{IN}			
13	I/O-6/IF _{IN2}	通用 I/O 端口/ 通用计数器频率 测量输入	通用 I/O 端口输入/输出管脚。可以转换为输入管脚, 用来测量通用计数器频率。频率测量功能即测量中频频率 (IF)。这些管脚的主要特点是内置放大器。数据通过电容耦合输入。FM _{IN} 和 AM _{IN} 在低幅下操作。(注: 电源加电时管脚设置为输入模式)	
14	I/O-5/IF _{IN1}			
15	DO1	相位比较器输出 (通用输出端口)	这些管脚是相位比较器的三态输出。DO1 和 DO2 并行输出。	
16	DO2/OT-4			
12	GND	电源管脚	5.0V ± 10%	
9	V _{DD}			

电气参数 (除非特别说明, Ta=-40 ~ 85, VDD=4.5 ~ 5.58V。)

参数	符号	测试条件	最小	典型	最大	单位	
电源电压	V _{DD1}	PLL 操作(正常操作)	4.5	5.0	5.5	V	
电源电流	I _{DD1}	V _{DD} =5.0V XT=10.8MHz FM _{IN} =150MHz	—	7	15	mA	
待机模式							
晶振频率所需电压	V _{DD2}	PLL OFF(晶体振荡器操作)	4.0	5.0	5.5	V	
工作电流	I _{DD2}	V _{DD} =5.0V XT=10.8MHz PLL OFF	—	0.8	1.5	mA	
工作电流	I _{DD3}	V _{DD} =5.0V, XT停止 PLL OFF	—	120	240	uA	
工作频率范围							
晶振频率	f _{XT}	在 XT- XT 终端连接晶体振荡器	3.6	—	10.8	MHz	
FM _{IN} (FM _H , FM _L)	f _{FM}	FM _H , FM _L 模式 V _{IN} =0.2V _{P-P}	30	—	130	MHz	
FM _{IN} (FM _L)	f _{FML}	FM _L 模式, V _{IN} =0.3V _{P-P}	30	—	150	MHz	
AM _{IN} (HF)	f _{HF}	HF模式, V _{IN} =0.2V _{P-P}	1	—	40	MHz	
AM _{IN} (LF)	f _{LF}	LF模式, V _{IN} =0.2V _{P-P}	0.5	—	20	MHz	
IF _{IN1} , IF _{IN2}	f _{IF}	V _{IN} =0.2V _{P-P}	0.1	—	15	MHz	
SC _{IN}	f _{SC}	V _{IH} =0.7V _{DD} V _{IL} =0.3V _{DD} , 方波输入	—	—	100	KHz	
输入幅度范围							
FM _{IN} (FM _H , FM _L)	V _{FM}	FM _H , FM _L 模式 f _{IN} =30 ~ 130MHz	0.2	—	V _{DD} -0.5	V _{PP}	
FM _{IN} (FM _L)	V _{FML}	FM _L 模式 f _{IN} =30 ~ 150MHz	0.3	—	V _{DD} -0.5	V _{PP}	
AM _{IN} (HF)	V _{HF}	HF模式, f _{IN} =1 ~ 40MHz	0.2	—	V _{DD} -0.5	V _{PP}	
AM _{IN} (LF)	V _{LF}	LF模式, f _{IN} =0.5 ~ 20MHz	0.2	—	V _{DD} -0.5	V _{PP}	
IF _{IN1} , IF _{IN2}	V _{IF}	f _{IN} =0.1 ~ 15MHz	0.2	—	V _{DD} -0.5	V _{PP}	
OT1 ~ OT4 N- 沟道开漏							
输出电流	低电平	I _{OL1}	V _{OL} =1.0V	5.0	10.0	—	mA
OFF 漏电流		I _{OFF}	V _{OFF} =12V	—	—	2.0	uA
I/O-5 ~ I/O-6							
输入电压	高电平	V _{IH1}		0.7V _{DD}	—	V _{DD}	V
	低电平	V _{IL1}		0	—	0.3V _{DD}	
输入电流	高电平	I _{IH}	V _{IH} =5V	—	—	2.0	uA
	低电平	I _{IL}	V _{IL} =0V	—	—	-2.0	
输出电流	高电平	I _{OH4}	V _{OH} =4.0V(SC _{IN} 除外)	-2.0	-4.0	—	mA
	低电平	I _{OL4}	V _{OL} =1.0V(SC _{IN} 除外)	2.0	4.0	—	

参数	符号	测试条件	最小	典型	最大	单位	
PERIOD,CLOCK,DATA							
输入电压	高电平	V_{IH2}	$0.8V_{DD}$	—	V_{DD}	V	
	低电平	V_{IL2}	0	—	$0.2V_{DD}$		
输入电流	高电平	I_{IH}	$V_{IH}=5V$	—	2.0	uA	
	低电平	I_{IL}	$V_{IL}=0V$	—	-2.0		
输出电流	高电平	I_{OH5}	$V_{OH}=4.0V(DATA)$	-1.0	-3.0	mA	
	低电平	I_{OL5}	$V_{OL}=1.0V(DATA)$	1.0	3.0		
DO1, DO2/OT-4							
输入电流	高电平	I_{OH3}	$V_{OH}=4.0V$	-2.0	-4.0	mA	
	低电平	I_{OL3}	$V_{OL}=1.0V$	2.0	4.0		
三态引导电流		I_{TL}	$V_{TLH}=5V, V_{TLL}=0V$	—	—	± 1.0	
\overline{XT}							
输出电流	高电平	I_{OH2}	$V_{OH}=4.0V$	-0.1	-0.3	mA	
	低电平	I_{OL2}	$V_{OL}=1.0V$	0.1	0.3		
输入反馈电阻							
输入反馈电阻	高电平	R_{f1}	$FM_{IN}, AM_{IN}, IF_{IN}$ ($T_a=25^\circ C$)	350	700	1400	K
	低电平	R_{f2}	$\overline{XT}-\overline{XT}$ ($T_a=25^\circ C$)	500	1000	4000	

功能说明

串行 I/O 端口

如功能框图所示，所有的功能都是通过设置 2 个 24 位的寄存器来控制的。这些寄存器的每一位数据是通过控制器和 DATA, CLOCK, PERIOD 引脚之间的串行口传送。每个串行传输是由 32 位组成，包括 8 位地址位和 24 位数据位。

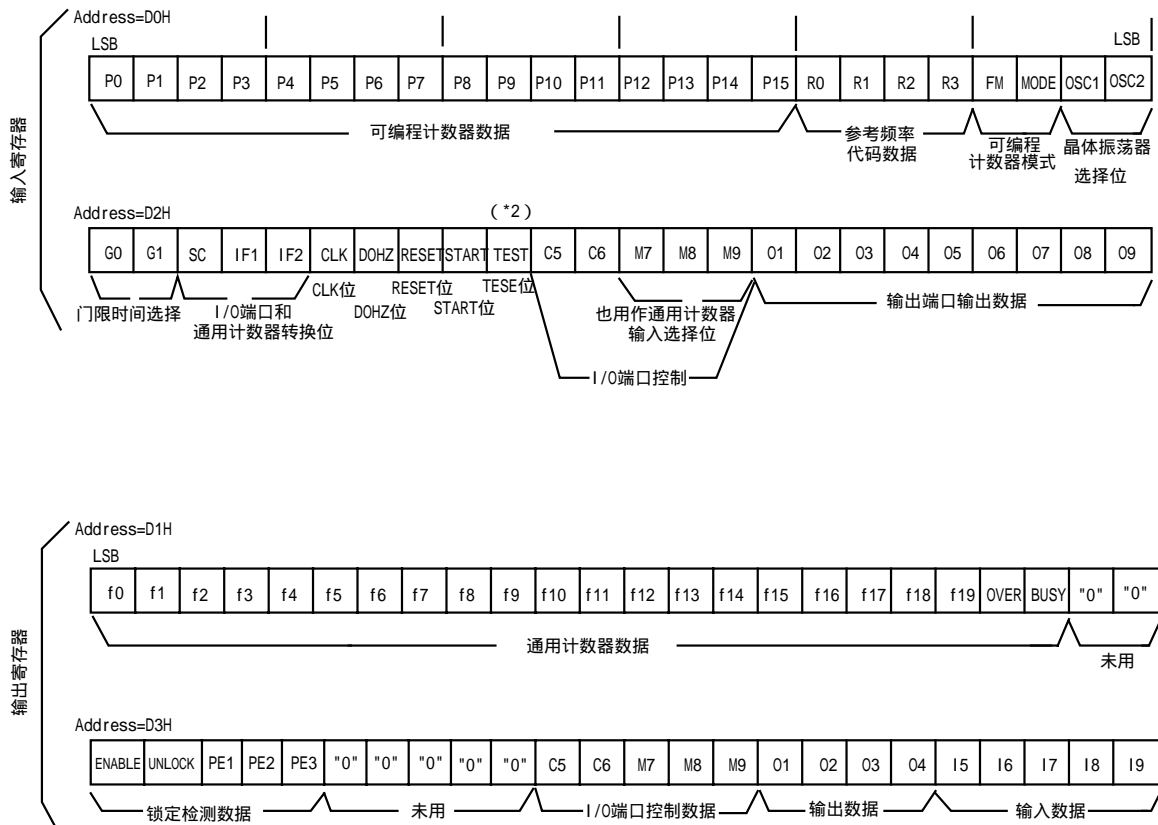
下面详细介绍每个寄存器，8 位地址位寄存器和 24 位数据位寄存器。其中 24 位数据位寄存器，并可以通过 8 位地址选择。每个寄存器的地址分配如下：

寄存器	地址	24 位内容	位数
输入寄存器 1	D0H	PLL 分频器设置	16
		参考频率设置	4
		PLL 输入模式设置	2
		晶体振荡器选择	2
		总计	24
输入寄存器 2	D2H	通用计数器控制（包括锁定检测位控制）	4
		I/O 端口可通用计数器转换位	3
		I/O-5/CLK 管脚转换位	1
		DO 管脚控制	1
		测试位	1
		I/O 端口控制（已用作通用计数器输入选择位）	5
		输出数据位	9
		总计	24

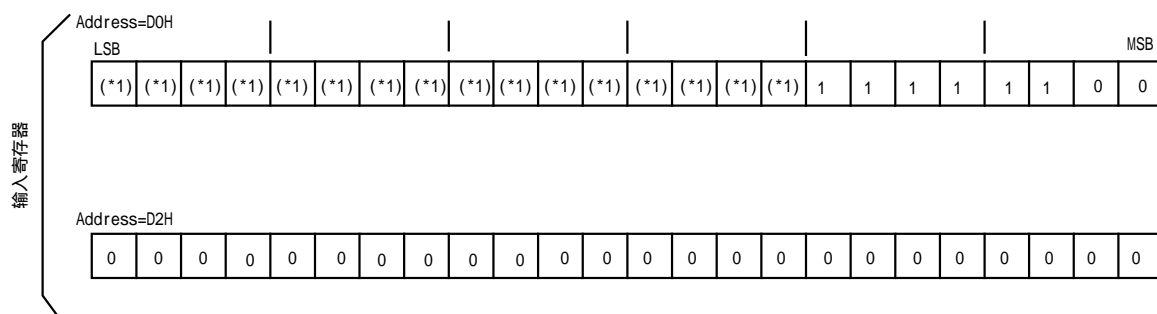
寄存器	地址	24 位内容	位数
输出寄存器 1	D1H	通用计数器数字数据 未用	22 2 总计 24
输出寄存器 2	D3H	锁定检测数据 I/O 端口控制数据 输出数据 输入数据 (在输出端口选项中未定义) 未用	5 5 4 5 5 总计 24

当周期信号 (PERIOD) 下降沿时, 输入数据锁存在寄存器 1 和寄存器 2 中, 并执行功能。当时钟信号 (CLOCK) 第 9 个下降沿时, 输出数据并行锁存在输出寄存器。数据管脚连续输出数据。

寄存器配置



加电时，输入寄存器设置如下：



注：1. 数据没有定义
2. 设置测试位为 0

串行传输格式

串行传输格式由 8 位地址和 24 位数据位组成（图 1）。使用地址 D0H ~ D3H。

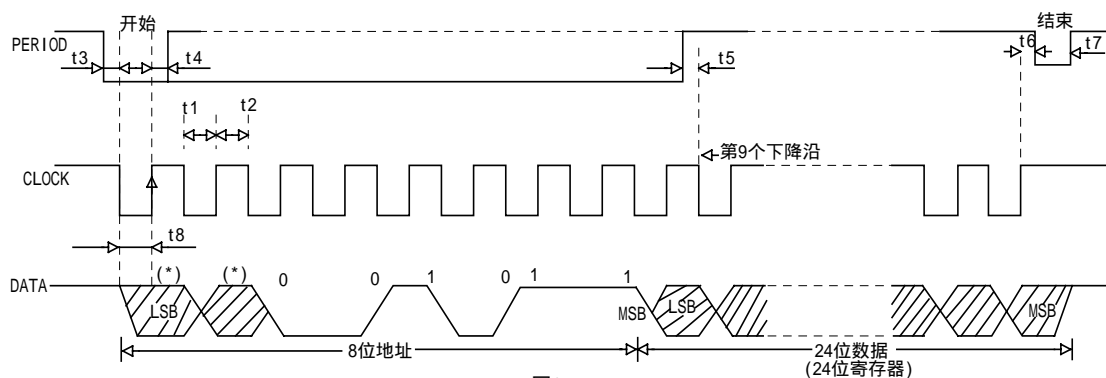


图1

串行数据传输

串行数据和时钟信号同步传输。在闲置状态，PERIOD，CLOCK 和 DATA 管脚都设置为高电平。当周期信号在低电平时，时钟信号下降沿初始化串行数据传输。当周期信号为低电平而时钟信号为高电平时，数据传输中止。一旦串行数据传输开始执行，当周期信号位处于低电平时，时钟信号的下降沿不会超过 8 个。

在时钟信号处于上升沿，由于接收端接收串行数据作为有效数据，因此发送端输出和时钟信号下降沿同步的信号。

为了接收输出寄存器（D1H，D3H）的串行数据，在 8 位地址输出后，下一个时钟信号下降沿来临之前，设置串行数据输出为高阻抗。

数据连续接收直到周期信号变为低电平；数据传输在周期信号上升沿到来前结束。因此数据管脚必须为开漏或者三态接口。

注：1. 当电源处于上电状态时，一些内部电路的状态不明确。为了设置内部电路状态，在执行规则数据传输前执行一个伪数据传输。

2. 时间 t1 ~ t8 的值如下：

- t1 1.0us
- t2 1.0us
- t3 0.3us
- t4 0.3us
- t5 0.3us
- t6 1.0us
- t7 1.0us
- t8 0.3us

3. 星号表示数字是从地址获取的，例如 D*H。

晶体振荡器管脚 (XT, XT)

如图 2 所示, 通过在电容间连接一个晶体振荡器得到内部电路所必须的时钟。配置晶体振荡器选择位选择 3.6MHz, 4.5MHz, 7.2MHz 或 10.8MHz 中的一个振荡频率。

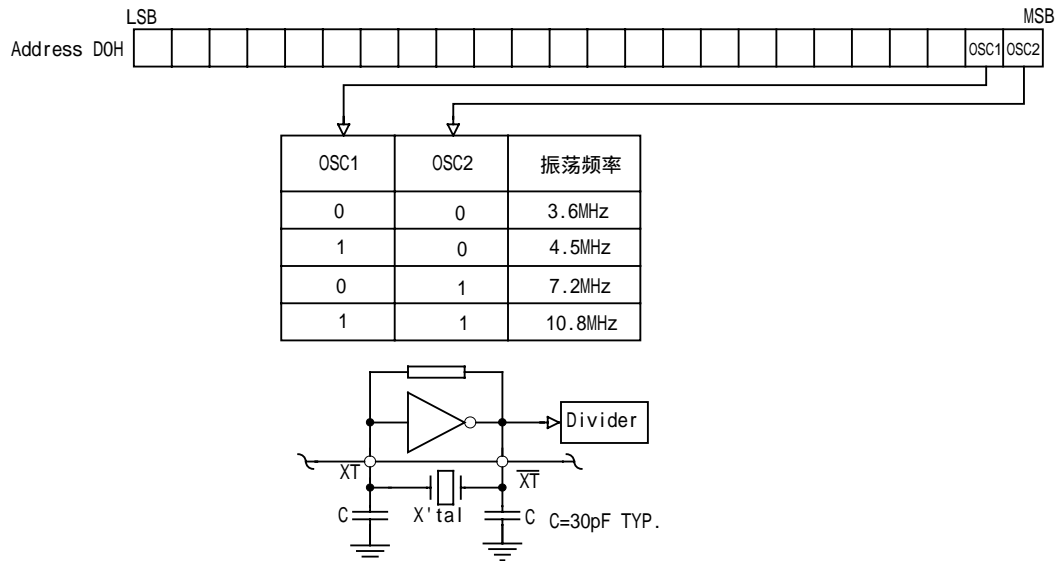


图2

注: 电源加电时, 预置为 3.6MHz (OSC1 = "0" 并且 OSC2 = "0")。这时晶振不会振荡, 因为系统处于待机模式。

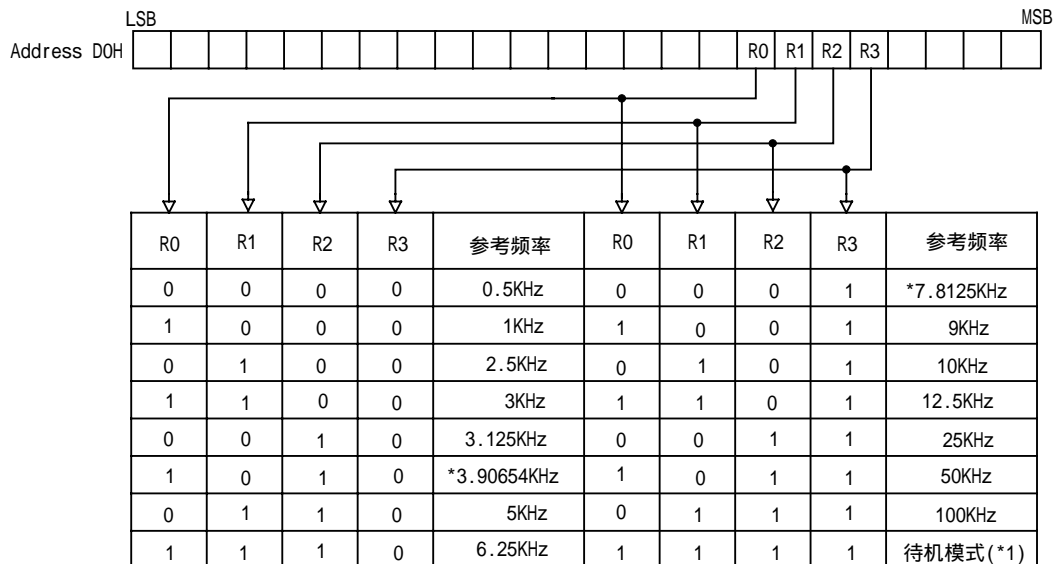
参考计数器 (参考频率分频器)

参考计数器单元是由晶体振荡器和计数器组成的。

晶体振荡器频率可以选择 3.6MHz, 4.5MHz, 7.2MHz 或 10.8MHz。最多可以产生 15 个参考频率。

1. 设置参考频率

通过 R0 ~ R3 设置参考频率。



注: 1. 标着星号的参考频率只能通过 4.5MHz 的晶体振荡器产生。

2. 待机模式

待机模式在位 R0, R1, R2 和 R3 为 "1" 时产生。在待机模式, 可编程计数器停止, 并且 FM, AM 和 IFIN (选择 IFIN 时) 处于放大器关闭状态 (管脚处于低电平)。这样可以在收音功能关闭时节省电流消耗。DO 管脚在待机模式为高阻抗状态。在待机模式, 可以控制 I/O 端口 (I/O-5 ~ I/O-6) 和输出端口 (OT1 ~ OT4), 晶体振荡器可以关闭和启动。

3. 电源加电时, 系统设置为待机模式, 这时, 晶体振荡器不会振荡并且 I/O 端口设置为输入模式。

可编程计数器

可编程计数器单元由一个 1/2 预分频标器，一个 2 种预定分频系数和 4 位+12 位可编程二进制计数器组成。

1. 设置可编程计数器

可编程计数器包括 16 位分频数据和 2 位表明分频模式的数据。

(1) 设置分频模式

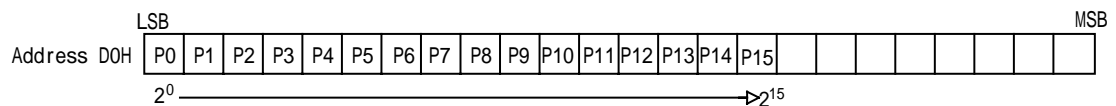
FM 和 MODE 位用来选择输入管脚和分频模式（脉冲抑制模式或直接分频模式）。这里有四种选择，见下表。根据频带选择其中的一种。



(2) 设置分频器

可编程计数器的分频系数通过 P0 ~ P15 的二进制位来设定。

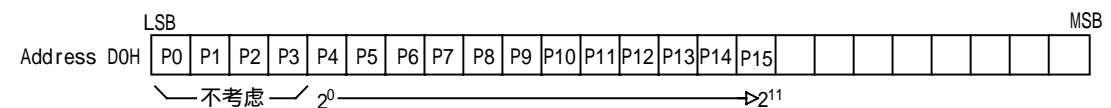
脉冲抑制模式 (16 位)



分频器设置范围(脉冲抑制模式)：n=210H ~ FFFH (528 ~ 65535)

(注:)在 1/2 +脉冲抑制模式，真正的分频器时可编程计数器的两倍。

直接分频模式(12 位)



分频器设置范围(直接分频模式)：n=10H ~ FFFH (16 ~ 4095)

在直接分频模式，数据 P0 ~ P3 不必考虑,位 P4 是最低有效字节 LSB。

2. 预定分频器和可编程计数器电路结构

(1) 脉冲抑制模式电路结构

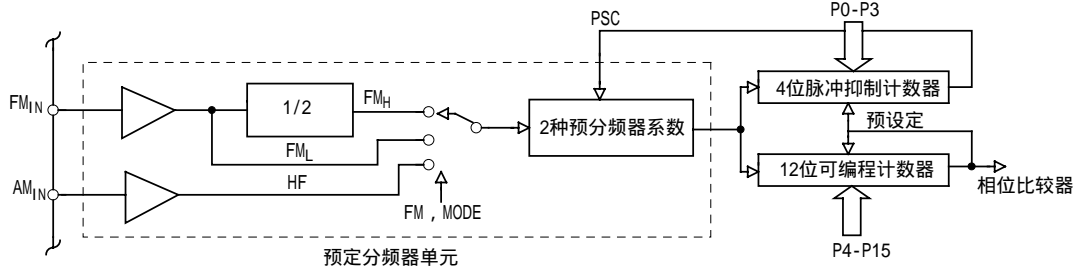


图3

这个电路是由一个 2 种系数的预定分频器，一个 4 位的 swallow 计数器和一个 12 位的可编程计数器。在 FM_{IN} (FM_{IN} 模式) 期间，前面增加一个 1/2 预定分频器。

(2) 直接分频模式电路结构

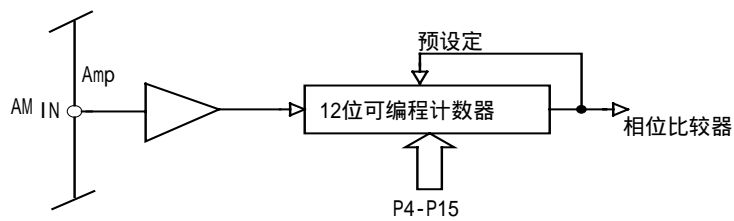


图4

在直接分频模式下，预定分频器单元旁路，并使用 12 位的可编程计数器。

(3) FM_{IN} 和 AM_{IN} 都有内置的放大器，数据通过电容耦合输入。 FM_{IN} 和 AM_{IN} 在低幅下操作。

通用计数器

通用计数器是一个 20 位的计数器，可以用来计数 AM/FM 频带的中频频率(IF)并在自动搜索调谐时检测自动停止信号。它还有一个周期测量功能，例如测量低频导频信号周期。

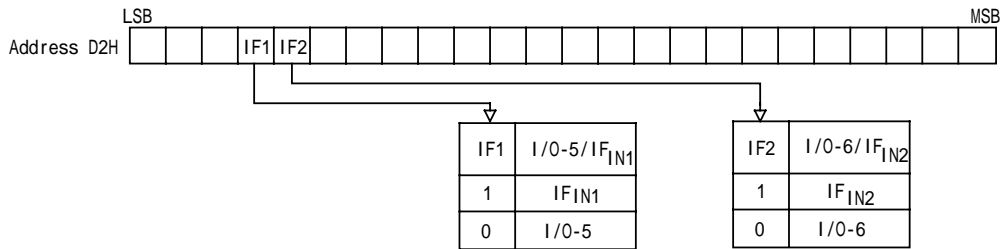
1. 通用计数器控制位

(1) 位 G_0 和 G_1 ...用来选择通用计数器门限时间。



(2) 位 SC, IF1 和 IF2...I/O 端口和通用计数器转换位

(*) 下列管脚的功能通过数据转换。

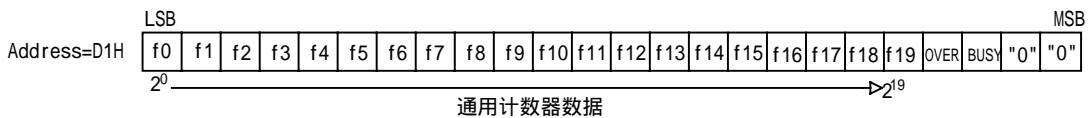


(3) 位 M5 设置 I/O-5/IF_{IN1} 的状态, M6 设置 I/O-6/IF_{IN2}, 上述操作在 SC、IF1、IF2 都设为“1”时有效。

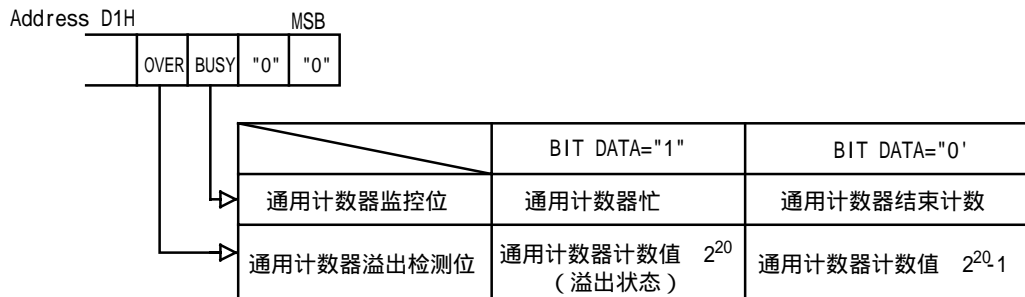


注: 标着“*”号的位都可设置为任意状态。

(4) 位 f0 ~ f9...通用计数器的结果可以从输出寄存器 (D1H) 中以二进制的形式读取。



(5) OVER 和 BUSY 位...检测通用计数器的操作状态



注: 当使用通用计数器时, 在参考计数器的内容(f0 ~ f9)前, 确定 BUSY 位为“0” (计数结束), 并且 OVER 位“0” (通用计数器数据正常)。