

P89LPC915/916/917 器件手册

1.概述	4
2.特性	4
3.附加特性	4
4.订购信息	5
4.1 订购选项	5
5.功能框图	6
6.管脚信息	8
6.1 管脚	8
6.2 管脚描述	9
7.逻辑符号	14
7.1 产品对比	15
8.特殊功能寄存器	15
9.功能描述	24
9.1 增强型 CPU	24
9.2 时钟	24
9.2.1 时钟定义	24
9.2.2 CPU 时钟(OSCCLK)	24
9.2.3 时钟输出 (P89LPC917)	24
9.3 片内 RC 振荡器选项	24
9.4 看门狗振荡器选项	25
9.5 外部时钟输入选项	25
9.6 CPU 时钟 (CCLK) 唤醒延迟	25
9.7 CPU 时钟 (CCLK) 调整: DIVM 寄存器	25
9.8 低功耗选择	26
9.9 A/D 转换器	26
9.9.1 概述	26
9.9.2 特性	26
9.9.3 A/D 工作模式	27
9.9.4 转换起动模式	27
9.9.5 界限制中断	28
9.9.6 DAC 输出到高输出阻抗的 I/O 口	28
9.9.7 时钟分频器	28
9.9.8 掉电和空闲模式	28
9.10 存储器结构	28
9.11 中断	28
9.11.1 外部中断输入	29
9.12 I/O 口	30
9.12.1 I/O 口配置	30
9.12.2 准双向口输出配置	30
9.12.3 开漏输出配置	31
9.12.4 仅为输入配置	31

9.12.5 推挽输出配置.....	31
9.12.6 P0 口模拟功能	31
9.12.7 附加端口特性.....	31
9.13 电源监控功能.....	31
9.13.1 掉电检测.....	31
9.13.2 上电检测.....	32
9.14 节电模式.....	32
9.14.1 空闲模式.....	32
9.14.2 掉电模式.....	32
9.14.3 完全掉电模式.....	32
9.15 复位.....	32
9.16 定时器 / 计数器 0 和 1.....	33
9.16.1 模式 0.....	33
9.16.2 模式 1.....	33
9.16.3 模式 2.....	33
9.16.4 模式 3.....	34
9.16.5 模式 6.....	34
9.16.6 定时器溢出触发输出.....	34
9.17 实时时钟/系统定时器.....	34
9.18 UART.....	34
9.18.1 模式 0.....	34
9.18.2 模式 1.....	34
9.18.3 模式 2.....	35
9.18.4 模式 3.....	35
9.18.5 波特率发生器及选择.....	35
9.18.6 帧错误.....	35
9.18.7 间隔检测.....	35
9.18.8 双缓冲.....	35
9.18.9 双缓冲使能时发送中断（模式 1, 2 和 3）.....	36
9.18.10 双缓冲中的第 9 位（位 8）数据（模式 1, 2 和 3）.....	36
9.19 I ² C 总线接口.....	36
9.20 串行外围接口（SPI—P89LCP916）.....	37
9.20.1 典型的 SPI 配置.....	38
9.21 模拟比较器.....	39
9.22 内部参考电压.....	40
9.23 比较器中断.....	40
9.24 比较器和节电模式.....	40
9.25 键盘中断（KBI）.....	41
9.26 看门狗定时器.....	41
9.27 附加特性.....	42
9.27.1 软件复位.....	42
9.27.2 双数据指针.....	42
9.28 Flash 程序存储器.....	42
9.28.1 概述.....	42

9.28.2 特性.....	42
9.28.3 Flash 的结构.....	42
9.28.4 Flash 的编程和擦除.....	43
9.28.5 在电路编程 (ICP).....	43
9.28.6 在应用中编程的方法 (IAP-Lite).....	43
9.28.7 Flash 作为数据存储器使用.....	43
9.28.8 用户配置字节.....	43
9.28.9 用户扇区保密字节.....	43
10.极限参数.....	44
11.静态特性.....	44
12.动态特性.....	46
13.比较器电气特性.....	52
14.封装.....	53
15.修改记录.....	54

1.概述

P89LPC915/916/917 是一款低成本的 14 脚和 16 脚单片微控制器。它们采用高性能的处理结构,指令执行时间只需 2 到 4 个时钟周期。6 倍于标准 80C51 器件。P89LPC915/916/917 集成了许多系统级的功能,这样可大大减少元件的数目和电路板面积并降低系统的成本。

2.特性

- 2kB 可字节擦除的 Flash 程序存储器,具有 256 字节的扇区和 16 字节的页。单字节擦除功能使得任何字节可用作非易失性数据存储。
- 256 字节 RAM 数据存储器。
- 2 个 16 位定时/计数器,定时器 0 (和 P89LPC917 的定时器 1) 可设置为溢出时触发相应端口输出或作为 PWM 输出。
- 23 位的系统定时器,可用作实时时钟。
- 4 输入 8 位 A/D 转换器/1 个 DAC 输出。2 个模拟比较器,可选择参考源。
- 增强型 UART。具有波特率发生器、间隔检测、帧错误检测、自动地址识别和通用的中断功能。
- SPI 通信端口 (P89LPC916)。
- 选择内部 RC 振荡器时不需要外接振荡器件。RC 振荡器 (出厂校准精度为 $\pm 1\%$) 选项可选并且其频率可进行很好的调节。
- V_{DD} 操作电压范围为 2.4~3.6V。I/O 口可承受 5V (可上拉或驱动到 5.5V)。
- 选择片内振荡和片内复位时可多达 14 个 I/O 口 (P89LPC916, P89LPC917)。

3.附加特性

- 14 脚 (P89LPC915) 和 16 脚 (P89LPC916, P89LPC917) TSSOP 封装。
- 当操作频率为 18MHz 时,除乘法和除法指令外,高速 80C51 CPU 的指令执行时间为 111~222ns。同一时钟频率下,其性能为标准 80C51 器件的 6 倍。只需要较低的时钟频率即可达到同样的性能,这样无疑降低了功耗和 EMI。
- 在应用中编程 (IAP-Lite) 和字节擦除功能使得程序存储器可用于非易失性数据存储。
- 串行 Flash 在电路编程 (ICP) 允许利用商用 EPROM 编程器进行简单的代码编程。Flash 保密位可防止应用程序被读出。
- 看门狗定时器具有独立的片内振荡器,无需外接元件。看门狗定时器预分频器有 8 种选择。
- 低电压复位 (掉电检测) 可在电源故障时使系统安全关闭。该功能也可配置为一个中断。
- 空闲和两种不同的掉电节电模式。提供从掉电模式中唤醒的功能 (低电平中断输入唤醒)。典型的掉电电流为 1 μ A (比较器关闭时的完全掉电状态)。
- 低电平复位。使用片内上电复位时不需要外接元件。复位计数器和复位干扰抑制电

路可防止虚假和不完整的复位。另外还提供软件复位功能。

- 可编程 I/O 口输出模式：准双向口，开漏输出，推挽和仅为输入功能。
- 端口“输入模式匹配”检测。当 P0 口管脚的值与一个可编程的模式匹配或者不匹配时，可产生一个中断。
- 所有口线均有 LED 驱动能力（20mA）。但整个芯片有一个最大值的限制。
- 可控制口线输出斜率以降低 EMI，输出最小跳变时间约为 10ns。
- 当选择片内复位时，P89LPC915/916/917 只需连接电源和地。
- 4 个中断优先级。
- 5 个（P89LPC916）、6 个（P89LPC915）或 7 个（P89LPC917）键盘中断输入。
- 双数据指针。
- 施密特触发端口输入。
- 仿真支持。

4.订购信息

表 1 订购信息

货品号	封装		
	名称	描述	版本
P89LPC915FDH	TSSOP14	TSSOP 封装，14 脚，本体宽度 4.4mm	SOT402-1
P89LPC915HDD	TSSOP14	TSSOP 封装，14 脚，本体宽度 4.4mm	SOT402-1
P89LPC916FDH	TSSOP16	TSSOP 封装，16 脚，本体宽度 4.4mm	SOT403-1
P89LPC917FDH	TSSOP16	TSSOP 封装，16 脚，本体宽度 4.4mm	SOT403-1

4.1 订购选项

表 2 订购选项^[1]

货品号	温度范围	频率
P89LPC915HDD	-40°C~+125°C	0~18MHz
P89LPC915FDH	-40°C~+85°C	
P89LPC916FDH		
P89LPC917FDH		

[1] 要购买扩展温度（-40°C~+125°C）版本的P89LPC916和P89LPC917器件，请与当地的分销商联系。

5.功能框图

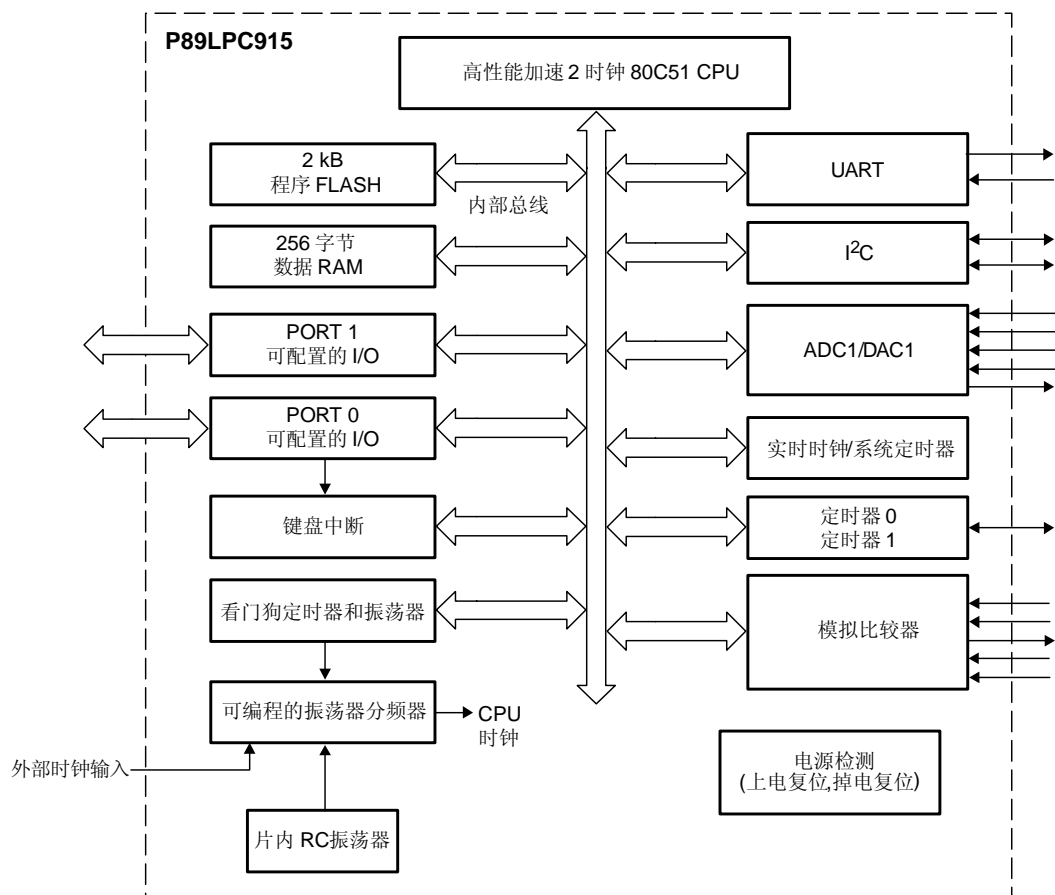


图 1 P89LPC915 的功能框图

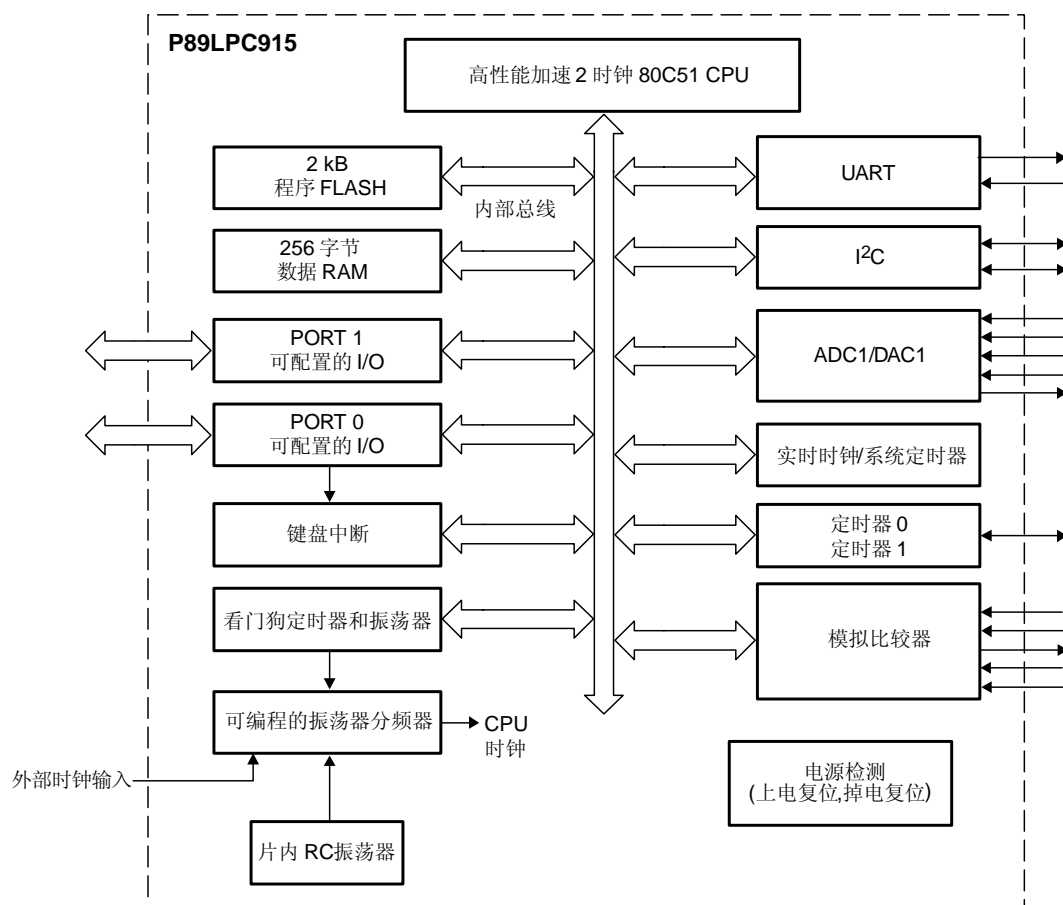


图 2 P89LPC916 的功能框图

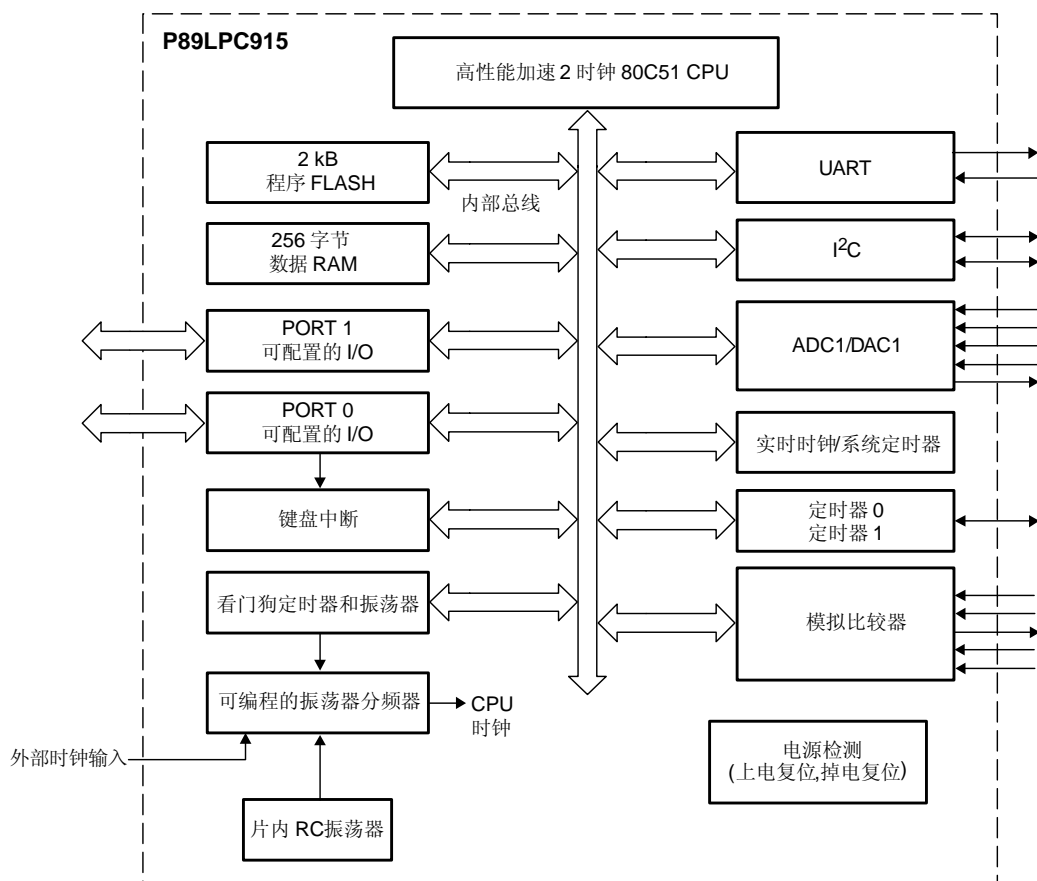


图 3 P89LPC917 的功能框图

6.管脚信息

6.1 管脚

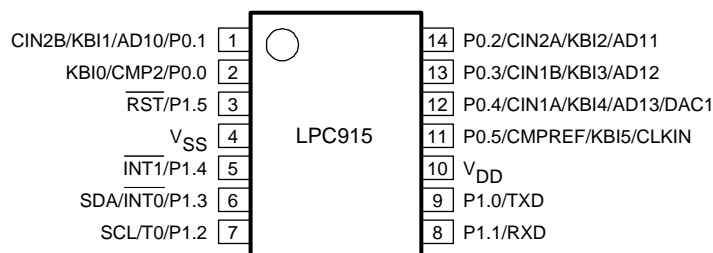


图 4 P89LPC915 TSSOP14 管脚配置

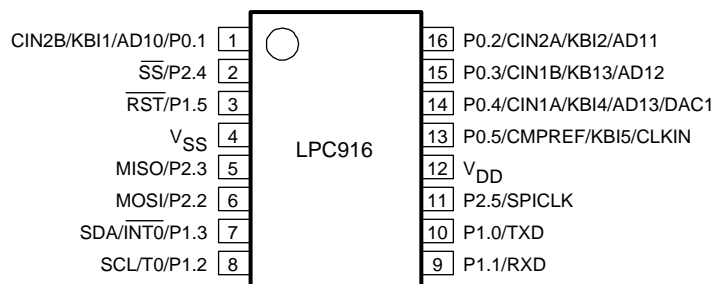


图 5 P89LPC916 TSSOP16 管脚配置

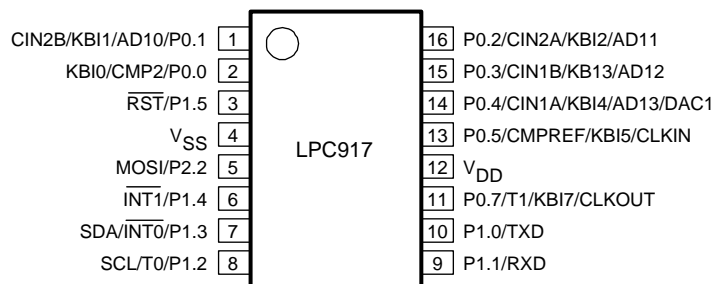


图 6 P89LPC917 TSSOP16 管脚配置

6.2 管脚描述

表 3 P89LPC915 的管脚描述

符号	管脚	类型	描述
P0.0~P0.5		I/O	PORT0: P0 是一个可由用户定义输出类型的 6 位 I/O 口，在复位时，P0 锁存器配置为内部上拉禁止的仅为输入模式。P0 口由口配置寄存器设定为输出或输入模式，每一个管脚均可单独设定。详细请参考 9.12.1 节 “I/O 口配置” 和表 13 “DC 电气特性”。 P0 口具有键盘输入中断功能。 所有管脚都具有施密特触发输入。 P0 口还可提供如下特殊功能：
	2	I/O I I	P0.0 P0 口位 0。 CMP2 比较器 2 输出。 KBI0 键盘输入 0。
	1	I/O I I I	P0.1 P0 口位 1。 CIN2B 比较器 2 正相输入 B。 KBI1 键盘输入 1。 AD10 A/D 通道 1，输入 0。
	14	I/O I I I	P0.2 P0 口位 2。 CIN2A 比较器 2 正相输入 A。 KBI2 键盘输入 2。 AD11 A/D 通道 1，输入 1。

续表 3

符号	管脚	类型	描述
P0.0~P0.5	13	I/O	P0.3 P0 口位 3。
		I	CIN1B 比较器 1 正相输入 B。
		I	KBI3 键盘输入 3。
		I	AD12 A/D 通道 1, 输入 2。
	12	I/O	P0.4 P0 口位 4
		I	CIN1A 比较器 1 正相输入 A
		I	KBI4 键盘输入 4。
		I	AD13 A/D 通道 1, 输入 3。
		O	DAC1 数模转换器 1 输出。
11	I/O	P0.5 P0 口位 5。	
	I	CMPREF 比较器参考 (反相) 输入。	
	I	KBI5 键盘输入 5。	
P1.0~P1.5		I/O	PORT1: P1 是一个可由用户定义输出类型的 6 位 I/O 口。在复位时, P1 锁存器配置为内部上拉禁止的仅为输入模式。P1 口由口配置寄存器设定为输出或输入模式。详细请参考 9.12.1 节 “I/O 口配置” 和表 13 “DC 电气特性”。
		I	P1.2 作为输出时为开漏。P1.5 为仅为输入模式。
	9	I/O	P1.0 P1 口位 0。
		O	TxD 串行口发送器输出。
	8	I/O	P1.1 P1 口位 0。
		I	RxD 串行口接收器输入。
	7	I/O	P1.2 P1 口位 2。(作为输出时为开漏)。
		I/O	T0 定时/计数器 0 外部计数输入、溢出输出或 PWM 输出。
		I/O	SCL I ² C 总线串行时钟输入/输出。
	6	I/O	P1.3 P1 口位 3。(作为输出时为开漏)
I/O		INT0 外部中断 0 输入。	
I/O		SDA I ² C 总线串行数据输入/输出。	
5	I/O	P1.4 P1 口位 4。	
	I/O	INT1 外部中断 1 输入。	
3	I I	P1.5 P1 口位 5 (仅为输入)	
		RST 上电或通过 UCFG1 选择作为外部复位输入。作为复位管脚时, 输入的低电平会使芯片复位, I/O 口和外围功能进入默认状态, 处理器从地址 0 开始执行。当使用频率高于 12MHz 的振荡器时, 必须使能 P1.5 的复位输入功能。上电时, 需要一个外部电路使器件保持复位状态, 直至 V _{DD} 到达指定的电平。当系统电源被移走时, V _{DD} 将降至低于指定的最低工作电压。在某些使用频率高于 12MHz 的振荡器的应用中, 当 V _{DD} 降至低于指定的最低工作电压时, 需要一个外部掉电检测电路使器件保持复位状态。另外该管脚还可用于在上电时强制进入在系统编程模式。	

续表 3

符号	管脚	类型	描述
V _{SS}	4	I	地: 0V 参考点
V _{DD}	10	I	电源: 正常操作模式、空闲模式和掉电模式时的电源。

表 4 P89LPC916 的管脚描述

符号	管脚	类型	描述
P0.1~P0.5		I/O	PORT0: P0 是一个可由用户定义输出类型的 5 位 I/O 口, 在复位时, P0 锁存器配置为内部上拉禁止的仅为输入模式。P0 口由口配置寄存器设定为输出或输入模式, 每一个管脚均可单独设定。详细请参考 9.12.1 节 “I/O 口配置” 和表 13 “DC 电气特性”。 P0 口具有键盘输入中断功能。 所有管脚都具有施密特触发输入。 P0 口还可提供如下特殊功能:
	1	I/O I I I	P0.1 P0 口位 1。 CIN2B 比较器 2 正相输入 B。 KBI1 键盘输入 1。 AD10 A/D 通道 1, 输入 0。
	16	I/O I I I	P0.2 P0 口位 2 CIN2A 比较器 2 正相输入 A KBI2 键盘输入 2 AD11 A/D 通道 1, 输入 1。
	15	I/O I I I	P0.3 P0 口位 3。 CIN1B 比较器 1 正相输入 B。 KBI3 键盘输入 3。 AD12 A/D 通道 1, 输入 2。
	14	I/O I I I O	P0.4 P0 口位 4。 CIN1A 比较器 1 正相输入 A。 KBI4 键盘输入 4。 AD13 A/D 通道 1, 输入 3。 DAC1 数模转换器 1 输出。
	13	I/O I I I	P0.5 P0 口位 5。 CMPREF 比较器参考 (反相) 输入。 KBI5 键盘输入 5。 CLKIN 外部时钟输入。
P1.0~P0.5		I/O I (P1.5)	PORT1: P1 是一个可由用户定义输出类型的 5 位 I/O 口。在复位时, P1 锁存器配置为内部上拉禁止的仅为输入模式。P1 口由口配置寄存器设定为输出 (P1.2) 或输入模式。详细请参考 9.12.1 节 “I/O 口配置” 和表 13 “DC 电气特性”。 I P1.2 作为输出时为开漏。P1.5 为仅为输入模式。 (P1.5) 所有管脚都具有施密特触发输入。 P1 口还可提供如下特殊功能:
	10	I/O O	P1.0 P1 口位 0。 TxD 串行口发送器输出。

续表 4

符号	管脚	类型	描述
P1.0~P0.5	9	I/O I	P1.1 P1 口位 1。 RxD 串行口接收器输入。
	8	I/O I/O I/O	P1.2 P1 口位 2。(作为输出时为开漏)。 T0 定时/计数器 0 外部计数输入、溢出输出或 PWM 输出。 SCL I ² C 总线串行时钟输入/输出。
	7	I/O I/O I/O	P1.3 P1 口位 3。(作为输出时为开漏) INT0 外部中断 0 输入。 SDA I ² C 总线串行数据输入/输出。
	3	I I	P1.5 P1 口位 5 (仅为输入) RST 上电或通过 UCFG1 选择作为外部复位输入。作为复位管脚时, 输入的低电平会使芯片复位, I/O 口和外围功能进入默认状态, 处理器从地址 0 开始执行。 当使用频率高于 12MHz 的振荡器时, 必须使能 P1.5 的复位输入功能。上电时, 需要一个外部电路使器件保持复位状态, 直至 V_{DD} 到达指定的电平。当系统电源被移走时, V_{DD} 将降至低于指定的最低工作电压。在某些使用频率高于 12MHz 的振荡器的应用中, 当 V_{DD} 降至低于指定的最低工作电压时, 需要一个外部掉电检测电路使器件保持复位状态。 另外该管脚还可用于在上电时强制进入在系统编程模式。
P2.2~P2.5		I/O	PORT2: P2 是一个可由用户定义输出类型的 4 位 I/O 口, 在复位时, P2 锁存器配置为内部上拉禁止的仅为输入模式。P2 口由口配置寄存器设定为输出或输入模式。详细请参考 9.12.1 节 “I/O 口配置” 和表 13 “DC 电气特性”。所有管脚都具有施密特触发输入。 P2 口还可提供如下特殊功能:
P2.2~P2.5	6	I/O O	P2.2 P2 口位 2。 MOSI SPI 主机输出/从机输入。当配置为主机时, 该管脚为输出; 当配置为从机时, 该管脚为输入。
	5	I/O I	P2.3 P2 口位 3。 MISO SPI 主机输入/从机输出。当配置为主机时, 该管脚为输入; 当配置为从机时, 该管脚为输出。
	2	I/O I/O	P2.4 P2 口位 4。 SS SPI 从机选择。
	11	I/O I/O	P2.5 P2 口位 5。 SPICKL K SPI 时钟。当配置为主机时, 该管脚为输出; 当配置为从机时, 该管脚为输入。
V _{SS}	4	I	地: 0V 参考点
V _{DD}	12	I	电源: 正常操作模式、空闲模式和掉电模式时的电源。

表 5 P89LPC917 的管脚描述

符号	管脚	类型	描述
P0.0~P0.5		I/O	PORT0: P0 是一个可由用户定义输出类型的 7 位 I/O 口, 在上电复位时, P0 锁存器配置为内部上拉禁止的仅为输入模式。P0 口由口配置寄存器设定为输出或输入模式, 每一个管脚均可单独设定。详细请参考 9.12.1 节“I/O 口配置”和表 13“DC 电气特性”。 P0 口具有键盘输入中断功能。 所有管脚都具有施密特触发输入。 P0 口还可提供如下特殊功能:
	2	I/O I I	P0.0 P0 口位 0。 CMP2 比较器 2 输出。 KBI0 键盘输入 0。
	1	I/O I I I	P0.1 P0 口位 1。 CIN2B 比较器 2 正相输入 B。 KBI1 键盘输入 1。 AD10 A/D 通道 1, 输入 0。
	16	I/O I I I	P0.2 P0 口位 2。 CIN2A 比较器 2 正相输入 A。 KBI2 键盘输入 2。 AD11 A/D 通道 1, 输入 1。
	15	I/O I I I	P0.3 P0 口位 3。 CIN1B 比较器 1 正相输入 B。 KBI3 键盘输入 3。 AD12 A/D 通道 1, 输入 2。
	14	I/O I I I O	P0.4 P0 口位 4。 CIN1A 比较器 1 正相输入 A。 KBI4 键盘输入 4。 AD13 A/D 通道 1, 输入 3。 DAC1 数模转换器 1 输出。
	13	I/O I I I	P0.5 P0 口位 5。 CMPREF 比较器参考 (反相) 输入。 KBI5 键盘输入 5。 CLKIN 外部时钟输入。
	11	I/O I I I	P0.7 P0 口位 7。 T1 定时器/计数器 1 外部计数输入、溢出输出或 PWM 输出。 KBI7 键盘输入 7。 CLKOUT 时钟输出。
P1.0~P1.5		I/O I (P1.2) I (P1.5)	PORT1: P1 是一个可由用户定义输出类型的 6 位 I/O 口。在上电复位时, P1 锁存器配置为内部上拉禁止的仅为输入模式。P1 口由口配置寄存器设定为输出或输入模式。详细请参考 9.12.1 节“I/O 口配置”和表 13“DC 电气特性”。 P1.2 和 P1.3 作为输出时为开漏。P1.5 为仅为输入模式。 所有管脚都具有施密特触发输入。 P1 口还可提供如下特殊功能:

续表 5

符号	管脚	类型	描述
P1.0~P1.5	10	I/O O	P1.0 P1 口位 0 TxD 串行口输出
	9	I/O I	P1.1 P1 口位 1。 RxD 串行口输入。
	8	I/O	P1.2 P1 口位 2。(作为输出时为开漏)
		I/O I/O	T0 定时/计数器 0 外部计数输入、溢出输出或 PWM 输出。 SCL I ² C 总线串行时钟输入/输出。
	7	I/O	P1.3 P1 口位 3。(作为输出时为开漏)
		I/O I/O	INT0 外部中断 0 输入。 SDA I ² C 总线串行数据输入/输出。
	6	I/O I/O	P1.4 P1 口位 4。 INT1 外部中断 1 输入。
3	I I	P1.5 P1 口位 5 (仅为输入) RST 上电时作为外部复位输入(通过 UCFG1 选择)。作为复位管脚时, 输入的低电平会使芯片复位, I/O 口和外围功能进入默认状态, 处理器从地址 0 开始执行。当使用频率高于 12MHz 的振荡器时, 必须使能 P1.5 的复位输入功能。上电时, 需要一个外部电路使器件保持复位状态, 直至 V _{DD} 到达指定的电平。当系统电源被移走时, V _{DD} 将降至低于指定的最低工作电压。在某些使用频率高于 12MHz 的振荡器的应用中, 当 V _{DD} 降至低于指定的最低工作电压时, 需要一个外部掉电检测电路使器件保持复位状态。另外该管脚还可用于在上电时强制进入在系统编程模式。	
P2.2	5	I/O	PORT2: P2.2 是一个可由用户定义输出类型的 I/O 口, 在上电复位时, P2.2 锁存器配置为内部上拉禁止的仅为输入模式。P2.2 由口配置寄存器设定为输出或输入模式。详细请参考 9.12.1 节“I/O 口配置”和表 13“DC 电气特性”。该管脚都具有施密特触发输入。
V _{SS}	4	I	地: 0V 参考点
V _{DD}	12	I	电源: 正常操作模式、空闲模式和掉电模式时的电源。

7.逻辑符号

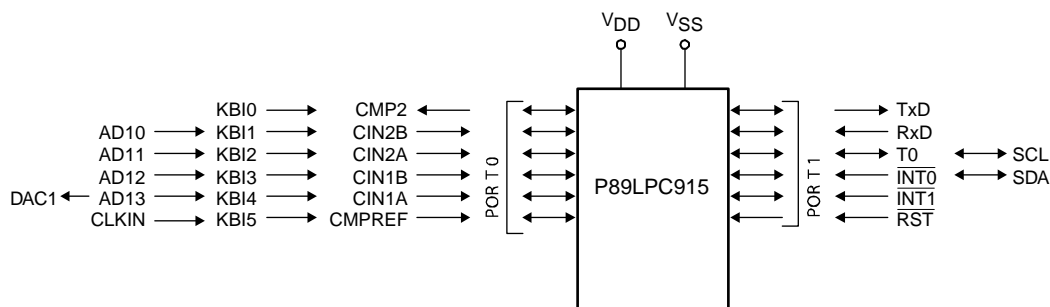


图 7 P89LPC915 逻辑符号

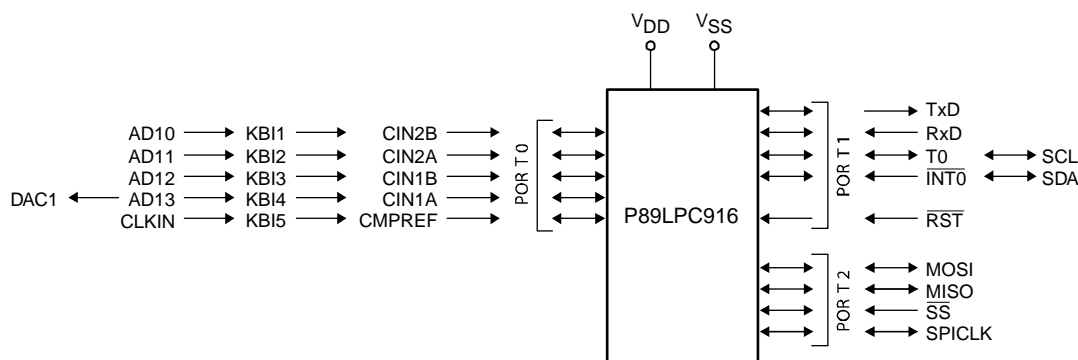


图 8 P89LPC916 逻辑符号

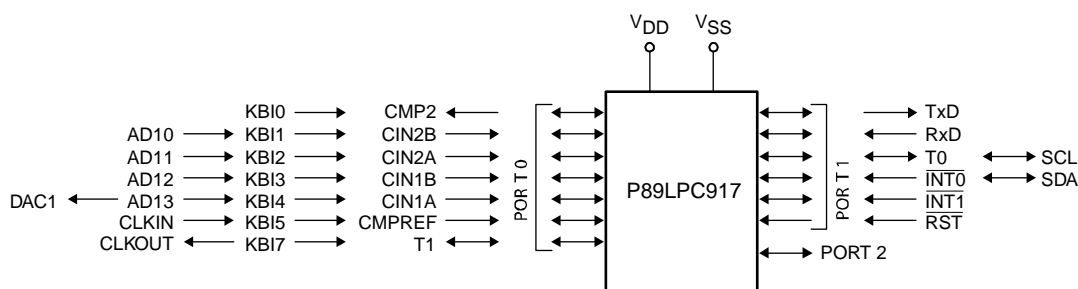


图 9 P89LPC917 逻辑符号

7.1 产品对比

表 6 列出了三种器件的不同点。有关器件特性，请参考第 2 节“特性”。

表 6 产品对比

货品号	比较器 2 输出	SPI	T1 PWM 输出	CLKOUT	$\overline{\text{INT1}}$	KBI
P89LPC915	×	-	-	-	×	6
P89LPC916	-	×	-	-	-	5
P89LPC917	×	-	×	×	×	7

8.特殊功能寄存器

注：对特殊功能寄存器的访问必须遵循以下方式：

- 用户不要试图访问任何未经定义的 SFR 地址。
- 对任何已定义的 SFR 的访问必须符合 SFR 的功能。
- 标注为 ‘-’，‘0’ 或 ‘1’ 的 SFR 位只能以如下方式读或写：
 - ‘-’ 除非另有说明，否则必须写入 0，但当读出时可返回任意值（即使向其写入 0）。这是一个保留位，作为将来功能扩展之用。
 - ‘0’ 必须写入 0，并且当读出时返回 0。
 - ‘1’ 必须写入 1，并且当读出时返回 1。

表 7 P89LPC915 的特殊功能寄存器

*表示可以位寻址

名称	定义	地址	位功能和位地址								复位值
			MSB				LSB				
ACC*	累加器	位地址	E7	E6	E5	E4	E3	E2	E1	E0	00H
		E0H									
ADCON1	A/D 控制寄存器 1	97H	ENB11	ENADC11	TMM1	EDGE1	ADC11	ENADC1	ADCS11	ADCS10	00H
ADINS	A/D 输入选择	A3H	ADI13	ADI12	ADI11	ADI10	-	-	-	-	00H
ADMODA	A/D 方式寄存器 A	C0H	BND11	BURST1	SCC1	SCAN1	-	-	-	-	00H
ADMODB	A/D 方式寄存器 B	A1H	CLK2	CLK1	CLK0	-	ENDAC1	-	BSA1	-	00H
AD1BH	A/D_1 边界高值	C4H									FFH
AD1BL	A/D_1 边界低值	BCH									00H
AD1DAT0	A/D_1 数据寄存器 0	D5H									00H
AD1DAT1	A/D_1 数据寄存器 1	D6H									00H
AD1DAT2	A/D_1 数据寄存器 2	D7H									00H
AD1DAT3	A/D_1 数据寄存器 3	F5H									00H
AUXR1	辅助功能寄存器	A2H	CLKLP	EBRR	-	ENT0	SRST	0	-	DPS	00H
B*	B 寄存器	位地址	F7	F6	F5	F4	F3	F2	F1	F0	00H
		F0H									
BRGR0 ²	波特率发生器低字节	BEH									00H
BRGR1 ²	波特率发生器高字节	BFH									00H
BRGCON	波特率发生器控制	BDH	-	-	-	-	-	-	SBRGS	BRGEN	00H ²
CMP1	比较器 1 控制	ACH	-	-	CE1	CP1	CN1	-	CO1	CMF1	00H ¹
CMP2	比较器 2 控制	ADH	-	-	CE2	CP2	CN2	OE2	CO2	CMF2	00H ¹
DIVM	CPU 时钟 M 分频控制	95H									00H
DPTR	数据指针 (2 字节)										
DPH	指针高字节	83H									00H
DPL	指针低字节	82H									00H
FMADRH	编程 Flash 地址高字节	E7H									00H
FMADRL	编程 Flash 地址低字节	E6H									00H
FMCON	编程 Flash 控制 (读)	E4H	BUSY	-	-	-	HVA	HVE	SV	OI	70H
	编程 Flash 控制 (写)		FMCMD.7	FMCMD.6	FMCMD.5	FMCMD.4	FMCMD.3	FMCMD.2	FMCMD.1	FMCMD.0	
FMDATA	编程 Flash 数据	E5H									00H
I2ADR	I ² C 总线从地址寄存器	DBH	I2ADR.6	I2ADR.5	I2ADR.4	I2ADR.3	I2ADR.2	I2ADR.1	I2ADR.0	GC	00H
		位地址	DF	DE	DD	DC	DB	DA	D9	D8	
I2CON*	I ² C 总线控制寄存器	DBH	-	I2EN	STA	STO	SI	AA	-	CRSEL	00H
I2DAT	I ² C 总线数据寄存器	DAH									
	串行时钟发生器/SCL	DDH									00H
I2SCLH	占空比寄存器高字节										
	串行时钟发生器/SCL	DCH									00H
I2SCLL	占空比寄存器低字节										
I2STAT	I ² C 总线状态寄存器	D9H	STA.4	STA.3	STA.2	STA.1	STA.0	0	0	0	F8

续表 7

名称	定义	地址	位功能和位地址							复位值	
			MSB				LSB				
IEN0*	中断使能 0	位地址	AF	AE	AD	AC	AB	AA	A9	A8	00H
		A8H	EA	EWDRT	EBO	ES/ESR	ET1	EX1	ET0	EX0	
IEN1*	中断使能 1	位地址	EF	EE	ED	EC	EB	EA	E9	E8	00H ¹
		E8H	EAD	EST	-	-	-	EC	EKBI	EI2C	
IP0*	中断优先级 0	位地址	BF	BE	BD	BC	BB	BA	B9	B8	00H ¹
		B8H	-	PWDRT	PBO	PS/PSR	PT1	PX1	PT0	PX0	
IP0H	中断优先级 0 高字节	B7H	-	PWDRTH	PBOH	PSH/PSRH	PT1H	PX1H	PT0H	PX0H	00H ¹
IP1*	中断优先级 1	位地址	FF	FE	FD	FC	FB	FA	F9	F8	00H ¹
		F8H	PAD	PST	-	-	-	PC	PKBI	PI2C	
IP1H	中断优先级 1 高字节	F7H	PADH	PSTH	-	-	-	PCH	PKBIH	PI2CH	00H ¹
KBCON	键盘控制	94H	-	-	-	-	-	-	PATN_SEL	KBIF	00H ¹
KBMASK	键盘中断屏蔽	86H									00H
KBPATN	键盘模式	93H									FFH
		位地址	87	86	85	84	83	82	81	80	
P0*	P0 口	80H	-	-	CMPREF/ KBI5	CIN1A/ KBI4	CIN1B/ KBI3	CIN2A/ KBI2	CIN2B/ KBI1	CMP2/ KBI0	1
		位地址	97	96	95	94	93	92	91	90	
P1*	P1 口	90H	-	-	RST	INT1	INT0 / SDA	T0/SCL	RXD	TXD	1
P0M1	P0 口输出模式 1	84H	-	-	P0M1.5	P0M1.4	P0M1.3	P0M1.2	P0M1.1	P0M1.0	FFH ¹
P0M2	P0 口输出模式 2	85H	-	-	P0M2.5	P0M2.4	P0M2.3	P0M2.2	P0M2.1	P0M2.0	00H ¹
P1M1	P1 口输出模式 1	91H	-	-	-	P1M1.4	P1M1.3	P1M1.2	P1M1.1	P1M1.0	D3H ¹
P1M2	P1 口输出模式 2	92H	-	-	-	P1M2.4	P1M2.3	P1M2.2	P1M2.1	P1M2.0	00H ¹
PCON	电源控制寄存器	87H	SMOD1	SMOD0	BOPD	BOI	GF1	GF0	PMOD1	PMOD0	00H
PCONA	电源控制寄存器 A	B5H	RTCPD	-	VCPD	ADPD	I2PD	-	SPD	-	00H ¹
		位地址	D7	D6	D5	D4	D3	D2	D1	D0	
PSW*	程序状态字	D0H	CY	AC	F0	RS1	RS0	OV	F1	P	00H
PT0AD	P0 口数字输入禁能	F6H	-	-	PT0AD.5	PT0AD.4	PT0AD.3	PT0AD.2	PT0AD.1	-	00H
RSTSRC	复位源寄存器	DFH	-	-	BOF	POF	R_BK	R_WD	R_SF	R_EX	3
RTCCON	实时时钟控制	D1H	RTCF	RTCS1	RTCS0	-	-	-	ERTC	RTCEN	60H ^{1,6}
RTCH	实时时钟高字节	D2H									00H ⁶
RTCL	实时时钟低字节	D3H									00H ⁶
SADDR	串口地址寄存器	A9H									00H
SADEN	串口地址使能	B9H									00H
SBUF	串口数据缓冲器	99H									xxH
		位地址	9F	9E	9D	9C	9B	9A	99	98	
SCON*	串口控制	98H	SM0/FE	SM1	SM2	REN	TB8	RB8	TI	RI	00H
SSTAT	串口扩展状态寄存器	BAH	DBMOD	INTLO	CIDIS	DBISEL	FE	BR	OE	STINT	00H
SP	堆栈指针	81H									07H
TAMOD	定时器 0 和 1 附加模式	8FH	-	-	-	-	-	-	-	T0M2	00H

续表 7

名称	定义	地址	位功能和位地址						复位值		
			MSB			LSB					
TCON*	定时器 0/1 控制	位地址	8F	8E	8D	8C	8B	8A	89	88	00H
		88H	TF1	TR1	TF0	TR0	IE1	IT1	IE0	IT0	
TH0	定时器 0 高字节	8CH									00H
TH1	定时器 1 高字节	8DH									00H
TL0	定时器 0 低字节	8AH									00H
TL1	定时器 1 低字节	8BH									00H
TMOD	定时器 0 和 1 模式	89H	T1GATE	T1C/T	T1M1	T1M0	T0GATE	T0C/T	T0M1	T0M0	00H
TRIM	内部振荡调整寄存器	96H	RCCLK	-	TRIM.5	TRIM.4	TRIM.3	TRIM.2	TRIM.1	TRIM.0	5,6
WDCON	看门狗控制寄存器	A7H	PRE2	PRE1	PRE0	-	-	WDRUN	WDTOF	WDCLK	4,6
WDL	看门狗装载	C1H									FFH
WFEED1	看门狗装载 1	C2H									
WFEED2	看门狗装载 2	C3H									

- [1] 上电复位后所有的 I/O 口都为仅为输入（高阻）状态。
- [2] 只有当 BRGCON 中的 BRGEN 为 0 时才可对 BRGR1 和 BRGR0 进行写操作。当 BRGEN=1 时，写入其中任意一个，结果将是不可预知的。
- [3] RSTSRC 寄存器反映 P89LPC915/916/917 复位的原因。在上电复位时，所有复位源标志都清零（POF 和 BOF 除外）。上电复位值为 xx110000。
- [4] 复位时 WDCON 复位值为 111001x1，即 PRE[2:0]全 1，WDRUN=1，WDCLK=1。看门狗复位时，WDTOF=1；上电复位时，WDTOF=0。其它复位不会影响 WDTOF。
- [5] 上电复位时，TRIM 寄存器初始化为出厂时的配置。其它复位不会引起 TRIM 寄存器的初始化。
- [6] 上电复位是唯一影响这些特殊功能寄存器的复位。

表 8 P89LPC916 的特殊功能寄存器

*表示可以位寻址

名称	定义	地址	位功能和位地址						复位值		
			MSB			LSB					
ACC*	累加器	位地址	E7	E6	E5	E4	E3	E2	E1	E0	00H
		E0H									
ADCON1	A/D 控制寄存器 1	97H	ENB11	ENADC11	TMM1	EDGE1	ADC11	ENADC1	ADCS11	ADCS10	00H
ADINS	A/D 输入选择	A3H	ADI13	ADI12	ADI11	ADI10	-	-	-	-	00H
ADMODA	A/D 方式寄存器 A	C0H	BND11	BURST1	SCC1	SCAN1	-	-	-	-	00H
ADMODB	A/D 方式寄存器 B	A1H	CLK2	CLK1	CLK0	-	ENDAC1	-	BSA1	-	00H
AD1BH	A/D_1 边界高值	C4H									FFH
AD1BL	A/D_1 边界低值	BCH									00H
AD1DAT0	A/D_1 数据寄存器 0	D5H									00H
AD1DAT1	A/D_1 数据寄存器 1	D6H									00H
AD1DAT2	A/D_1 数据寄存器 2	D7H									00H
AD1DAT3	A/D_1 数据寄存器 3	F5H									00H
AUXR1	辅助功能寄存器	A2H	CLKLP	EBRR	-	ENT0	SRST	0	-	DPS	00H ¹

续表 8

名称	定义	地址	位功能和位地址								复位值
			MSB				LSB				
B*	B 寄存器	位地址	F7	F6	F5	F4	F3	F2	F1	F0	00H
		F0H									00H
BRGR0 ^[2]	波特率发生器低字节	BEH									00H
BRGR1 ^[2]	波特率发生器高字节	BFH									00H
BRGCON	波特率发生器控制	BDH	-	-	-	-	-	-	SBRGS	BRGEN	00H ²
CMP1	比较器 1 控制	ACH	-	-	CE1	CP1	CN1	-	CO1	CMF1	00H ¹
CMP2	比较器 2 控制	ADH	-	-	CE2	CP2	CN2	OE2	CO2	CMF2	00H
DIVM	CPU 时钟分频控制	95H									00H
DPTR	数据指针 (2 字节)										
DPH	指针高字节	83H									00H
DPL	指针低字节	82H									00H
FMADRH	编程 Flash 地址高字节	E7H									00H
FMADRL	编程 Flash 地址低字节	E6H									00H
FMCON	编程 Flash 控制 (读)	E4H	BUSY	-	-	-	HVA	HVE	SV	OI	70H
	编程 Flash 控制 (写)		FMCMD.7	FMCMD.6	FMCMD.5	FMCMD.4	FMCMD.3	FMCMD.2	FMCMD.1	FMCMD.0	
FMDATA	编程 Flash 数据	E5H									00H
I2ADR	I ² C 总线从地址寄存器	DBH	I2ADR.6	I2ADR.5	I2ADR.4	I2ADR.3	I2ADR.2	I2ADR.1	I2ADR.0	GC	00H
		位地址	DF	DE	DD	DC	DB	DA	D9	D8	
I2CON*	I ² C 总线控制寄存器	DBH	-	I2EN	STA	STO	SI	AA	-	CRSEL	00H
I2DAT	I ² C 总线数据寄存器	DAH									
	串行时钟发生器/SCL										
I2SCLH	占空比寄存器高字节	DDH									00H
I2SCLL	串行时钟发生器/SCL 占空比寄存器低字节	DCH									00H
I2STAT	I ² C 总线状态寄存器	D9H	STA.4	STA.3	STA.2	STA.1	STA.0	0	0	0	F8H
IEN0*	中断使能 0	位地址	AF	AE	AD	AC	AB	AA	A9	A8	00H
		A8H	EA	EWDRT	EBO	ES/ESR	ET1	-	ET0	EX0	
IEN1*	中断使能 1	位地址	EF	EE	ED	EC	EB	EA	E9	E8	00H ¹
		E8H	EAD	EST	-	-	ESPI	EC	EKBI	EI2C	
IP0*	中断优先级 0	位地址	BF	BE	BD	BC	BB	BA	B9	B8	00H ¹
		B8H	-	PWDRT	PBO	PS/PSR	PT1	-	PT0	PX0	
IP0H	中断优先级 0 高字节	B7H	-	PWDRTH	PBOH	PSH/PSRH	PT1H	-	PT0H	PX0H	00H ¹
		位地址	FF	FE	FD	FC	FB	FA	F9	F8	00H ¹
IP1*	中断优先级 1	F8H	PAD	PST	-	-	PSPI	PC	PKBI	PI2C	
IP1H	中断优先级 1 高字节	F7H	PADH	PSTH	-	-	PSPIH	PCH	PKBIH	PI2CH	00H ¹
KBCON	键盘控制	94H	-	-	-	-	-	-	PATN_SEL	KBIF	00H ¹
KBMASK	键盘中断屏蔽	86H									00H
KBPATN	键盘模式	93H									FFH

续表 8

名称	定义	地址	位功能和位地址						复位值		
			MSB			LSB					
P0*	P0 口	位地址	87	86	85	84	83	82	81	80	1
		80H	-	-	CMPREF/ KB5	CIN1A/ KB4	CIN1B/ KBI3	CIN2A/ KBI2	CIN2B/ KBI1	-	
P1*	P1 口	位地址	97	96	95	94	93	92	91	90	1
		90H	-	-	$\overline{\text{RST}}$	-	$\overline{\text{INT0}}$ / SDA	T0/ SCL	RXD	TXD	
P2*	P2 口	位地址	A7	A6	A5	A4	A3	A2	A1	A0	1
		A0H	-	-	SPICLK	$\overline{\text{SS}}$	MISO	MOSI			
P0M1	0 口输出模式 1	84H	-	-	P0M1.5	P0M1.4	P0M1.3	P0M1.2	P0M1.1	-	FFH
P0M2	0 口输出模式 2	85H		-	P0M2.5	P0M2.4	P0M2.3	P0M2.2	P0M2.1		00H
P1M1	1 口输出模式 1	91H	-	-	-	-	P1M1.3	P1M1.2	P1M1.1	P1M1.0	D3H ¹
P1M2	1 口输出模式 2	92H	-	-	-	-	P1M2.3	P1M2.2	P1M2.1	P1M2.0	00H ¹
P2M1	2 口输出模式 1	A4H	-	-	P2M1.5	P2M1.4	P2M1.3	P2M1.2	-	-	FFH ¹
P2M2	2 口输出模式 2	A5H	-	-	P2M2.5	P2M2.4	P2M2.3	P2M2.2	-	-	00H ¹
PCON	电源控制寄存器	87H	SMOD1	SMOD0	BOPD	BOI	GF1	GF0	PMOD1	PMOD0	00H
PCONA	电源控制寄存器 A	B5H	RTCPD	-	VCPD	ADPD	I2PD	SPPD	SPD	-	00H ¹
PSW*	程序状态字	位地址	D7	D6	D5	D4	D3	D2	D1	D0	00H
		D0H	CY	AC	F0	RS1	RS0	OV	F1	P	
PT0AD	0 口数字输入禁能	F6H	-	-	PT0AD.5	PT0AD.4	PT0AD.3	PT0AD.2	PT0AD.1	-	00H
RSTSRC	复位源寄存器	DFH	-	-	BOF	POF	R_BK	R_WD	R_SF	R_EX	3
RTCCON	实时时钟控制	D1H	RTCF	RTCS1	RTCS0	-	-	-	ERTC	RTCEN	60H ^{1,6}
RTCH	实时时钟高字节	D2H								00H ⁶	
RTCL	实时时钟低字节	D3H								00H ⁶	
SADDR	串口地址寄存器	A9H								00H	
SADEN	串口地址使能	B9H								00H	
SBUF	串口数据缓冲器	99H								xxH	
SCON*	串行口控制	位地址	9F	9E	9D	9C	9B	9A	99	98	00H
		98H	SM0/FE	SM1	SM2	REN	TB8	RB8	TI	RI	
SSTAT	串行口扩展状态	BAH	DBMOD	INTLO	CIDIS	DBISEL	FE	BR	OE	STINT	00H
SP	堆栈指针	81H								07H	
SPCTL	SPI 控制寄存器	E2H	SSIG-	SPEN	DORD	MSTR	CPOL	CPHA	SPR1	SPR0	04H
SPSTAT	SPI 状态寄存器	E1H	SPIF	WCOL	-	-	-	-	-	-	00H
SPDAT	SPI 数据寄存器	E3H								00H	
TAMOD	定时器 0 和 1 附加模式	8FH	-	-	-	-	-	-	-	T0M2	00H
TCON*	定时器 0/1 控制	位地址	8F	8E	8D	8C	8B	8A	89	88	00H
		88H	TF1	TR1	TF0	TR0	-	-	IE0	IT0	
TH0	定时器 0 高字节	8CH								00H	
TH1	定时器 1 高字节	8DH								00H	
TL0	定时器 0 低字节	8AH								00H	
TL1	定时器 1 低字节	8BH								00H	

续表 8

名称	定义	地址	位功能和位地址								复位值
			MSB				LSB				
TMOD	定时器 0 和 1 模式	89H	T1GATE	T1C/T	T1M1	T1M0	T0GATE	T0C/T	T0M1	T0M0	00H
TRIM	内部振荡调整寄存器	96H	RCCLK	-	TRIM.5	TRIM.4	TRIM.3	TRIM.2	TRIM.1	TRIM.0	5,6
WDCON	看门狗控制寄存器	A7H	PRE2	PRE1	PRE0	-	-	WDRUN	WDTOF	WDCLK	4,6
WDL	看门狗装载	C1H									FFH
WFEED1	看门狗装载 1	C2H									
WFEED2	看门狗装载 2	C3H									

- [1] 上电复位后所有的 I/O 口都为仅为输入（高阻）状态。
- [2] 只有当 BRGCON 中的 BRGEN 为 0 时，才可对 BRGR1 和 BRGR0 进行写操作。当 BRGEN=1 时，写入其中任意一个，结果将是不可预知的。
- [3] RSTSRC 寄存器反映 P89LPC915/916/917 复位的原因。在上电复位时，所有复位源标志都清零（POF 和 BOF 除外）。上电复位值为 xx110000。
- [4] 复位时 WDCON 复位值为 111001x1，即 PRE[2:0]全 1，WDRUN=1，WDCLK=1。看门狗复位时，WDTOF=1；上电复位时，WDTOF=0。其它复位不会影响 WDTOF。
- [5] 上电复位时，TRIM 寄存器初始化为出厂时的配置。其它复位不会引起 TRIM 寄存器的初始化。
- [6] 上电复位是唯一影响这些特殊功能寄存器的复位。

表 9 P89LPC917 的特殊功能寄存器

*表示可以位寻址

名称	定义	地址	位功能和位地址								复位值
			MSB				LSB				
ACC*	累加器	位地址	E7	E6	E5	E4	E3	E2	E1	E0	00H
ADCON1	A/D 控制寄存器 1	97H	ENB11	ENADC11	TMM1	EDGE1	ADCI1	ENADC1	ADCS11	ADCS10	00H
ADINS	A/D 输入选择	A3H	ADI13	ADI12	ADI11	ADI10	-	-	-	-	00H
ADMODA	A/D 方式寄存器 A	C0H	BND11	BURST1	SCC1	SCAN1	-	-	-	-	00H
ADMODB	A/D 方式寄存器 B	A1H	CLK2	CLK1	CLK0	-	ENDAC1	-	BSA1	-	00H
AD1BH	A/D_1 边界高值	C4H									FFH
AD1BL	A/D_1 边界低值	BCH									00H
AD1DAT0	A/D_1 数据寄存器 0	D5H									00H
AD1DAT1	A/D_1 数据寄存器 1	D6H									00H
AD1DAT2	A/D_1 数据寄存器 2	D7H									00H
AD1DAT3	A/D_1 数据寄存器 3	F5H									00H
AUXR1	辅助功能寄存器	A2H	CLKLP	EBRR	ENT1	ENT0	SRST	0	-	DPS	00H
B*	B 寄存器	位地址	F7	F6	F5	F4	F3	F2	F1	F0	00H
BRGR0 ^[2]	波特率发生器低字节	BEH									00H
BRGR1 ^[2]	波特率发生器高字节	BFH									00H
BRGCON	波特率发生器控制	BDH	-	-	-	-	-	-	SBRGS	BRGEN	00H ²
CMP1	比较器 1 控制	ACH	-	-	CE1	CP1	CN1	-	CO1	CMF1	00H ¹
CMP2	比较器 2 控制	ADH	-	-	CE2	CP2	CN2	OE2	CO2	CMF2	00H ¹

续表 9

名称	定义	地址	位功能和位地址								复位值
			MSB				LSB				
DIVM	CPU 时钟分频控制	95H									00H
DPTR	数据指针 (2 字节)										
DPH	指针高字节	83H									00H
DPL	指针低字节	82H									00H
FMADRH	编程 Flash 地址高字节	E7H									00H
FMADRL	编程 Flash 地址低字节	E6H									00H
FMCON	编程 Flash 控制 (读)	E4H	BUSY	-	-	-	HVA	HVE	SV	OI	70H
	编程 Flash 控制 (写)		FMCMD.7	FMCMD.6	FMCMD.5	FMCMD.4	FMCMD.3	FMCMD.2	FMCMD.1	FMCMD.0	
FMDATA	编程 Flash 数据	E5H									00H
I2ADR	I ² C 总线从地址寄存器	DBH	I2ADR.6	I2ADR.5	I2ADR.4	I2ADR.3	I2ADR.2	I2ADR.1	I2ADR.0	GC	00H
	I ² C 总线控制寄存器		位地址	DF	DE	DD	DC	DB	DA	D9	D8
I2CON*		DBH	-	I2EN	STA	STO	SI	AA	-	CRSEL	
I2DAT	I ² C 总线数据寄存器	DAH									
I2SCLH	串行时钟发生器/SCL 占空比寄存器高字节	DDH									00H
	串行时钟发生器/SCL 占空比寄存器低字节		DCH								
I2STAT	I ² C 总线状态寄存器	D9H	STA.4	STA.3	STA.2	STA.1	STA.0	0	0	0	F8H
	中断使能 0		位地址	AF	AE	AD	AC	AB	AA	A9	A8
IEN0*		A8H	EA	EWDRT	EBO	ES/ESR	ET1	EX1	ET0	EX0	
	中断使能 1		位地址	EF	EE	ED	EC	EB	EA	E9	E8
IEN1*		E8H	EAD	EST	-	-	-	EC	EKBI	EI2C	
	中断优先级 0		位地址	BF	BE	BD	BC	BB	BA	B9	B8
IP0*		B8H	-	PWDRT	PBO	PS/PSR	PT1	PX1	PT0	PX0	
	中断优先级 0 高字节		B7H	-	PWDRTH	PBOH	PSH/PSRH	PT1H	PX1H	PT0H	PX0H
IP1*		F8H	FF	FE	FD	FC	FB	FA	F9	F8	00H ¹
	中断优先级 1		PAD	PST	-	-	-	PC	PKBI	PI2C	
IP1H		F7H	PADH	PSTH	-	-	-	PCH	PKBIH	PI2CH	00H ¹
	中断优先级 1 高字节		-	-	-	-	-	-	PATN_SEL	KBIF	00H ¹
KBCON	键盘控制	94H									
KBMASK	键盘中断屏蔽	86H									00H
KBPATN	键盘模式	93H									FFH
			位地址	87	86	85	84	83	82	81	80
P0*	P0 口	80H	T1/KBI7/CLKOUT	-	CMPREF/KB15	CIN1A/KB14	CIN1B/KB13	CIN2A/KB12	CIN2B/KB11	CMP2/KB10	1
			位地址	97	96	95	94	93	92	91	90
P1*	P1 口	90H	-	-	RST	INT1	INT0 / SDA	T0/ SCL	RXD	TXD	1
P0M1	0 口输出模式选择 1	84H	P0M1.7	-	P0M1.5	P0M1.4	P0M1.3	P0M1.2	P0M1.1	P0M1.0	FFH ¹
P0M2	0 口输出模式选择 2	85H	P0M2.7	-	P0M2.5	P0M2.4	P0M2.3	P0M2.2	P0M2.1	P0M2.0	00H ¹
P1M1	1 口输出模式选择 1	91H	-	-	-	P1M1.4	P1M1.3	P1M1.2	P1M1.1	P1M1.0	D3H ¹

续表 9

名称	定义	地址	位功能和位地址								复位值
			MSB				LSB				
P1M2	1口输出模式选择2	92H	-	-	-	P1M2.4	P1M2.3	P1M2.2	P1M2.1	P1M2.0	00H ¹
PCON	电源控制寄存器	87H	SMOD1	SMOD0	BOPD	BOI	GF1	GF0	PMOD1	PMOD0	00H
PCONA	电源控制寄存器 A	B5H	RTCPD	-	VCPD	ADPD	I2PD	-	SPD	-	00H ¹
PSW*	程序状态字	位地址	D7	D6	D5	D4	D3	D2	D1	D0	00H
		D0H	CY	AC	F0	RS1	RS0	OV	F1	P	
PT0AD	0口数字输入禁能	F6H	-	-	PT0AD.5	PT0AD.4	PT0AD.3	PT0AD.2	PT0AD.1	-	00H
RSTSRC	复位源寄存器	DFH	-	-	BOF	POF	R_BK	R_WD	R_SF	R_EX	3
RTCCON	实时时钟控制	D1H	RTCF	RTCS1	RTCS0	-	-	-	ERTC	RTCEN	60H ^{1,6}
RTCH	实时时钟高字节	D2H									00H ⁶
RTCL	实时时钟低字节	D3H									00H ⁶
SADDR	串口地址寄存器	A9H									00H
SADEN	串口地址使能	B9H									00H
SBUF	串口数据缓冲器	99H									xxH
SCON*	串行口控制	位地址	9F	9E	9D	9C	9B	9A	99	98	00H
		98H	SM0/FE	SM1	SM2	REN	TB8	RB8	TI	RI	
SSTAT	串行口扩展状态	BAH	DBMOD	INTLO	CIDIS	DBISEL	FE	BR	OE	STINT	00H
SP	堆栈指针	81H									07H
TAMOD	定时器 0/1 附加模式	8FH	-	-	-	T1M2	-	-	-	T0M2	00H
TCON*	定时器 0 和 1 控制	位地址	8F	8E	8D	8C	8B	8A	89	88	00H
		88H	TF1	TR1	TF0	TR0	IE1	IT1	IE0	IT0	
TH0	定时器 0 高字节	8CH									00H
TH1	定时器 1 高字节	8DH									00H
TL0	定时器 0 低字节	8AH									00H
TL1	定时器 1 低字节	8BH									00H
TMOD	定时器 0 和 1 模式	89H	T1GATE	T1C/T	T1M1	T1M0	T0GATE	T0C/T	T0M1	T0M0	00H
TRIM	内部振荡调整寄存器	96H	RCCLK	ENCLK	TRIM.5	TRIM.4	TRIM.3	TRIM.2	TRIM.1	TRIM.0	5,6
WDCON	看门狗控制寄存器	A7H	PRE2	PRE1	PRE0	-	-	WDRUN	WDTOF	WDCLK	4,6
WDL	看门狗装载	C1H									FFH
WFEED1	看门狗装载 1	C2H									
WFEED2	看门狗装载 2	C3H									

- [1] 上电复位后所有的 I/O 口都为仅为输入（高阻）状态。
- [2] 只有当 BRGCON 中的 BRGEN 为 0 时，才可对 BRGR1 和 BRGR0 进行写操作。当 BRGEN=1 时，写入其中任意一个，结果将是不可预知的。
- [3] RSTSRC 寄存器反映 P89LPC915/916/917 复位的原因。在上电复位时，所有复位源标志都清零（POF 和 BOF 除外）。上电复位值为 xx110000。
- [4] 复位时 WDCON 复位值为 111001x1，即 PRE[2:0]全 1，WDRUN=1，WDCLK=1。看门狗复位时，WDTOF=1；上电复位时，WDTOF=0。其它复位不会影响 WDTOF。
- [5] 上电复位时，TRIM 寄存器初始化为出厂时的配置。其它复位不会引起 TRIM 寄存器的初始化。
- [6] 上电复位是唯一影响这些特殊功能寄存器的复位。

9.功能描述

注：详细的功能描述请参阅 P89LPC915/916/917 使用指南。

9.1 增强型 CPU

P89LPC915/916/917 采用增强型 80C51 CPU，其运行速度是标准 80C51 的 6 倍。一个机器周期由 2 个 CPU 时钟周期组成，大多数指令执行时间为 1 到 2 个机器周期。

9.2 时钟

9.2.1 时钟定义

P89LPC915/916/917 的几个内部时钟定义如下：

- OSCCLK—输入到 DIVM 分频器的时钟。OSCCLK 可选择 3 个时钟源之一（见图 10），也可降低到较低的频率（见 9.7 节“CPU 时钟（CCLK）时钟调整：DIVM 寄存器”）。

注：fosc 定义为 OSCCLK 频率

- CCLK—CPU 时钟；时钟分频器的输出。每个机器周期包含 2 个 CCLK 周期，大多数指令执行时间为 1 到 2 个机器周期（2 到 4 个 CCLK 周期）。
- RCCLK—内部 7.373MHz RC 振荡器输出。
- PCLK—用于不同外围器件的时钟，为 CCLK/2。

9.2.2 CPU 时钟(OSCCLK)

P89LPC915/916/917 提供几个可由用户选择的振荡器选项来产生 CPU 时钟。这样就满足了从高精度到低成本的不同需求。这些选项在对 Flash 进行编程时配置，包括片内看门狗振荡器、片内 RC 振荡器和外部时钟输入。

9.2.3 时钟输出（P89LPC917）

P89LPC917 支持可由用户选择的 CLKOUT 管脚时钟输出功能。这样可使外部器件与 P89LPC917 同步。时钟输出的使能通过置位 TRIM 寄存器中的 ENCLK 位实现。该时钟输出的频率为 CCLK/2。如果在空闲模式中不需要输出时钟，那么可在进入空闲模式之前将该功能关闭以降低功耗。

9.3 片内 RC 振荡器选项

P89LPC915/916/917 具有一个 6 位 TRIM 寄存器，可对 RC 振荡器的频率进行调整。在复位时，TRIM 的值初始化为出厂时预编程值以将振荡器频率调整为 7.373MHz±1%（室温下）。用户程序可修改 TRIM 寄存器将片内 RC 振荡器调整为其它频率。

9.4 看门狗振荡器选项

看门狗具有一个独立的振荡器，其频率为 400KHz。在不需要使用高频振荡器时，可使用该振荡器降低功耗。

9.5 外部时钟输入选项

在此配置中，提供 CPU 时钟的外部时钟源从 CLKIN 脚输入。频率可从 0Hz 到 18MHz。当使用频率高于 12MHz 的振荡器时，必须使能 P1.5 的复位输入功能。上电时，需要一个外部电路使器件保持复位状态，直至 V_{DD} 到达指定的电平。当系统电源被移走时， V_{DD} 将降至低于指定的最低工作电压。在某些使用频率高于 12MHz 的振荡器的应用中，当 V_{DD} 降至低于指定的最低工作电压时，需要一个外部掉电检测电路使器件保持复位状态。

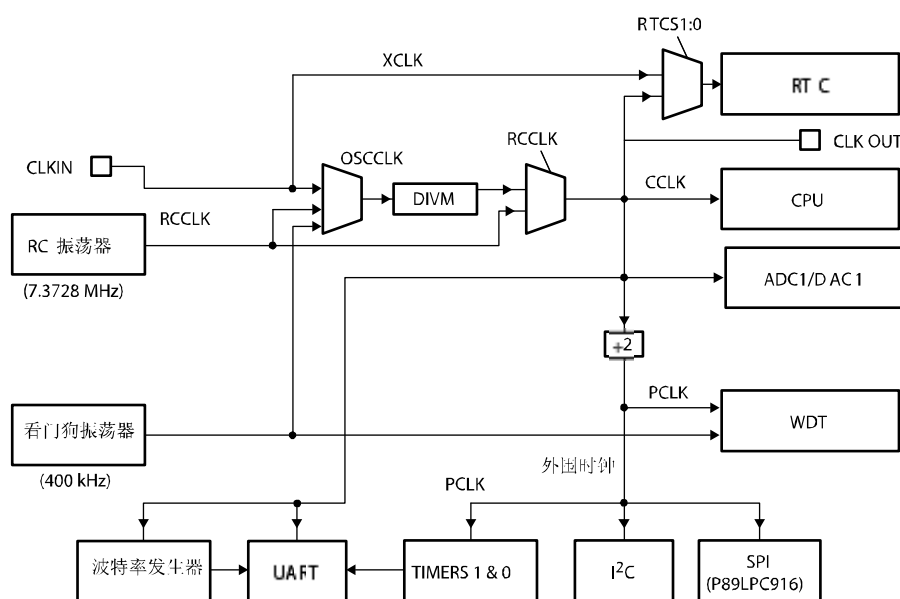


图 10 振荡器控制框图

9.6 CPU 时钟 (CCLK) 唤醒延迟

P89LPC915/916/917 具有一个内部唤醒定时器，可使时钟延迟直到稳定下来，延迟时间为 224 个 OSCCLK 周期加 60~100us。

9.7 CPU 时钟 (CCLK) 调整: DIVM 寄存器

OSCCLK 频率可通过配置分频寄存器 DIVM 进行 510 分频来提供 CCLK。此特性可用于暂时使 CPU 以较低频率工作以降低功耗。通过分频，程序以较低速度运行时，能保持对不是退出空闲模式的事件的响应能力。并且比掉电模式少了振荡器起振时间。DIVM 的值可通过编程随时改变而无需中断程序运行。

9.8 低功耗选择

P89LPC915/916/917 的最大工作频率为 18MHz(CCLK)。但是如果 CCLK 为 8MHz 或更低, CLKLP 位 (AUXR1.7) 可置位以进一步降低功耗。在任何一次复位后, CLKLP 都为 0 以允许实现最高性能。如果 CCLK 运行在 8MHz 或更低的频率时, 该位可以在软件中置位。

9.9 A/D 转换器

9.9.1 概述

P89LPC915/916/917 包含 1 个 8 位、4 路逐步逼近式模数转换器。A/D 转换器的原理框图见图 11。A/D 转换器由一个 4 输入多路转换器组成。多路器的输出通过采样-保持电路输入到比较器。控制逻辑和逐次逼近式寄存器 (SAR) 一起来驱动数模转换器, 为比较器提供另外一个输入。比较器的输出又回到 SAR。

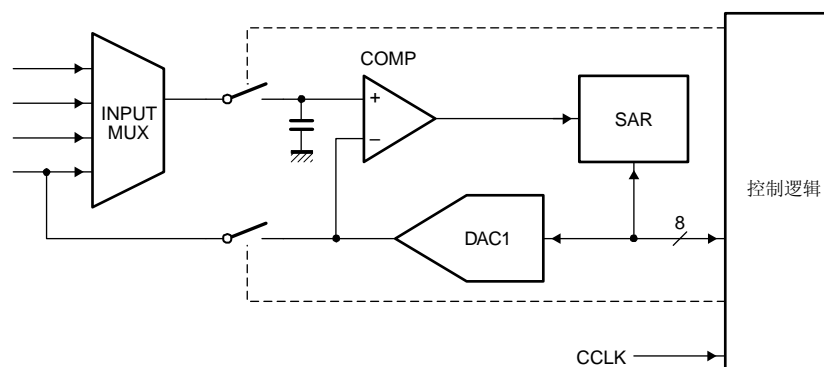


图 11 ADC 原理框图

9.9.2 特性

- 8 位 4 路输入的逐次逼近式 A/D 转换器。
- 4 个结果寄存器。
- 6 种工作模式
 - 固定通道, 单次转换模式
 - 固定通道, 连续转换模式
 - 自动扫描, 单次转换模式
 - 自动扫描, 连续转换模式
 - 双通道, 连续转换模式
 - 单步模式
- 3 种转换启动模式
 - 定时器触发起动
 - 立即起动
 - 边沿触发
- 在 3.3MHz 的 ADC 时钟频率下 8 位转换时间 $\geq 3.9\mu s$

- 中断或查询操作
- 边界限制中断
- DAC 输出到高输出阻抗的 I/O 口
- 时钟分频器
- 掉电模式

9.9.3 A/D 工作模式

固定通道, 单次转换模式: 选择单个通道进行单次转换。执行单次转换并将转换结果存放到所选输入通道对应的结果寄存器中。如果中断使能, 转换完成后产生中断。

固定通道, 连续转换模式: 选择单个通道进行连续转换。转换结果顺序存放在 4 个结果寄存器中。如果中断使能, 完成 4 次转换后产生中断。其它多于 4 个的转换结果再循环存放到 4 个结果寄存器中, 将之前的结果覆盖。连续转换过程由用户终止。

自动扫描, 单次转换模式: 选择 4 输入通道的任意组合进行转换。执行所选输入的转换并将转换结果存放到所选输入通道对应的结果寄存器中。如果中断使能, 完成所有选择通道的转换后产生中断。如果只选择一个转换通道, 该模式便与单通道, 单次转换模式完全相同。

自动扫描, 连续转换模式: 选择 4 输入通道的任意组合进行连续转换。执行所选每个通道的转换并将结果存放到转换通道相应的结果寄存器中。如果中断使能, 完成所选通道的转换后产生中断。自启动首次选择通道的转换开始, 转换过程不断重复。其它多于 4 个的转换结果再循环存放到 4 个结果寄存器中, 将之前的结果覆盖。连续转换过程由用户终止。

双通道, 连续转换模式: 这是一种变更的自动扫描连续转换模式。该模式下, 用户可选择两个输入通道。第一个输入通道的转换结果存放在结果寄存器 AD1DAT0 中, 第二个输入通道的转换结果存放在结果寄存器 AD1DAT1 中。第一个通道的第二次转换结果存放在 AD1DAT2 中, 第二个通道的第二次转换结果存放在 AD1DAT3 中。如果中断使能, 完成 4 次转换后产生中断 (每个通道执行两次转换)。

单步模式: 这是一种特殊的工作模式。它允许在自动扫描转换模式中进行‘单步’转换。该模式下, 用户可选择 4 个输入通道的任意组合进行转换。每个通道转换结束后, 产生中断 (如果中断使能), A/D 转换器再等待下次转换的启动条件。该模式可与任何一种启动模式结合使用。

9.9.4 转换起动模式

定时器触发启动: 定时器 0 溢出时启动一次 A/D 转换。一旦转换过程被启动, 其它的定时器 0 触发操作均无效, 直至转换过程结束。定时器触发模式适用于所有 A/D 工作模式。

立即启动: 编程为该模式将立即启动一次转换。立即启动模式适用于所有 A/D 工作模式。

边沿触发 (P89LPC915/917): 由 P1.4 脚的上升或下降沿来启动 A/D 转换。一旦转换过程被启动, 其它的由边沿触发引起的操作均无效, 直至转换过程结束。边沿触发启动模式适用于所有 A/D 工作模式。

9.9.5 界限制中断

每个 A/D 转换器都包含一个高、低边界限制寄存器。当完成 4 个 MSB 位的转换后，将所得的 4 位与边界高、低寄存器的 4 位 MSB 相比较。如果转换所得的 4 位 MSB 超出限制范围，产生中断（如果中断使能）。如果转换结果在允许范围内，在完成所有 8 位的转换后再与边界限制值进行比较。如果中断使能，转换结果超出限制范围时产生中断。边界限制通过清除边界限制中断使能来禁止。

9.9.6 DAC 输出到高输出阻抗的 I/O 口

A/D 转换器的 DAC 块都可输出到一个 I/O 口。在该模式下，AD1DAT3 用来存放输入到 DAC 的值。完成一次写 AD1DAT3 操作后，DAC 的输出便出现在通道 3 管脚上。

9.9.7 时钟分频器

为了保证转换精度，A/D 转换器要求其内部时钟源的频率范围为 500kHz~3.3MHz。可使用时钟分频器对时钟进行 1~8 分频来满足频率要求。

9.9.8 掉电和空闲模式

空闲模式下，A/D 转换器（如果使能）继续工作。如果 A/D 中断使能，转换过程结束后可使器件退出空闲模式。掉电模式和完全掉电模式下 A/D 转换器停止工作。如果 A/D 转换器被使能，它将消耗功率。因此，关闭 A/D 转换器可降低功耗。

9.10 存储器结构

P89LPC915/916/917 的不同存储空间如下所示：

- DATA

256 字节内部数据存储空间 (00h..FFh)。可使用除 MOVX 和 MOVC 之外的指令直接或间接寻址。此空间可作为全部或部分堆栈空间。

- SFR

特殊功能寄存器。选中的 CPU 寄存器和外设控制及状态控制寄存器，只能通过直接寻址访问。

- CODE

64K 字节代码存储空间。作为程序执行部分和通过 MOVC 指令访问。P89LPC915/916/917 含有有 2K 字节片的片内代码存储器。

9.11 中断

P89LPC915/916/917 采用 4 中断优先级结构。这为多中断源的控制和处理提供了极大的灵活性。

P89LPC915 和 P89LPC917 支持 13 个中断源：外部中断 0 和 1、定时器 0 和 1、串口 Tx、串口 Rx、组合的串口 Rx 和 Tx、掉电检测、看门狗/实时时钟、I2C、键盘、比较器 1 和 2 以及 A/D 转换器。

P89LPC916 支持 14 个中断源：外部中断 0、定时器 0 和 1、串口 Tx、串口 Rx、组合的串口 Rx 和 Tx、掉电检测、看门狗/实时时钟、I2C、键盘、比较器 1 和 2、SPI 以及 A/D 转换器。

任何一个中断源均可通过对 IEN0 和 IEN1 中相应的位置位或清零，实现单独使能或禁用。IEN0 中还包含了一个全局禁止位 EA，它可禁止所有的中断。

每个中断源都可被单独设置为四个中断优先级之一，分别通过清零或置位 IP0, IP0H, IP1, IP1H 中相应位来实现。一个中断服务程序可响应更高级的中断，但不能响应同优先级或低级中断。最高级中断服务程序不响应其它任何中断。如果两个不同中断优先级的中断源同时申请中断时，响应较高优先级的中断申请。

如果两个同优先级的中断源同时申请中断。通过一个内部查询顺序序列确定首先响应哪一个中断请求，这叫做仲裁队列。注：仲裁队列只用来处理相同优先级别中断源同时申请中断的情况。

9.11.1 外部中断输入

除键盘中断外，P89LPC915 和 P89LPC917 还包含 2 个外部中断，P89LPC916 包含 1 个外部中断。这些外部中断输入和标准 80C51 微控制器完全相同。

通过置位或清除 TCON 寄存器的位 IT1 和 IT0，这些外部中断可编程为电平触发模式或边沿触发模式。

边沿触发模式下，对 \overline{INTn} 管脚进行连续采样，如果 \overline{INTn} 在一个周期内采样为高而在下一周期内采样为低，TCON 的中断请求标志 IEN 置位，申请中断。

如果一个外部中断在 P89LPC915/916/917 处于掉电或空闲模式时使能，中断将唤醒处理器使其恢复运行。详见 9.14 节“节电模式”。

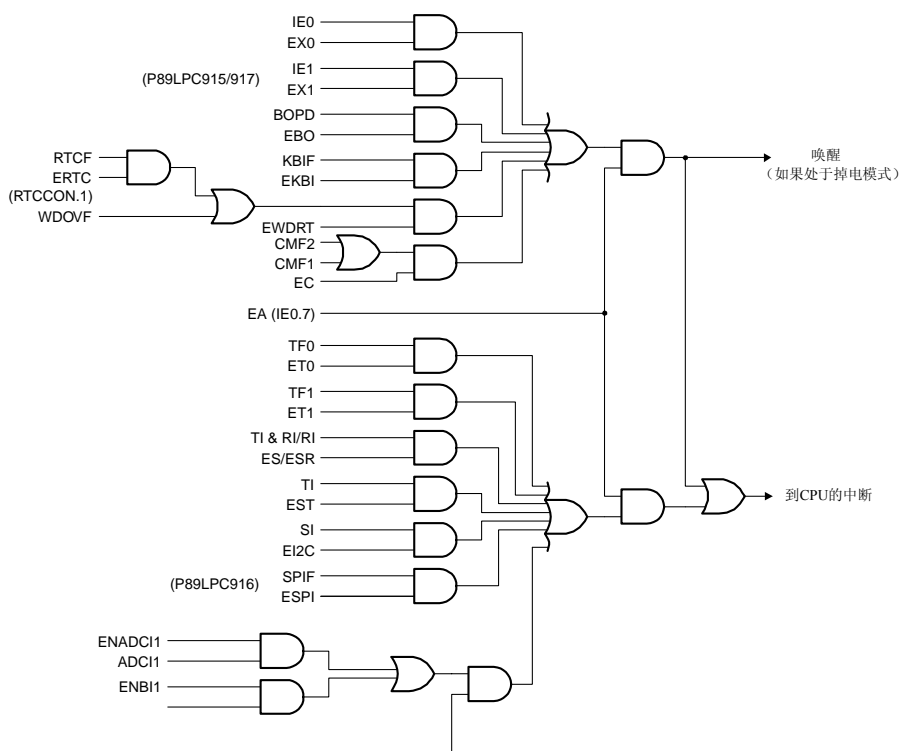


图 12 中断源，中断使能，掉电唤醒中断源

9.12 I/O 口

P89LPC916 和 P89LPC917 有 3 个 I/O 口，P0、P1 和 P2。I/O 口的具体数目取决于所选择的时钟和复位方式，如表 10 所示。

表 10 可用的 I/O 口数目 (P89LPC916, P89LPC917)

时钟源	复位选项	I/O 口数目 (16 脚封装)
RC 振荡器或看门狗振荡器	无外部复位 (上电时除外)	14
	使用外部复位脚 $\overline{\text{RST}}$	13
外部时钟输入	无外部复位 (上电时除外)	13
	使用外部复位脚 $\overline{\text{RST}}$ [1]	12

[1] 当外部时钟频率大于 12MHz 时，必须支持 P1.5 管脚的外部复位。

P89LPC915 有 2 个 I/O 口，P0 和 P1。I/O 口的具体数目取决于所选择的复位方式，如表 11 所示。

表 11 可用的 I/O 口数目 (P89LPC915)

时钟源	复位选项	I/O 口数目 (14 脚封装)
RC 振荡器或看门狗振荡器	无外部复位 (上电时除外)	12
	使用外部复位脚 $\overline{\text{RST}}$	11
外部时钟输入	无外部复位 (上电时除外)	11
	使用外部复位脚 $\overline{\text{RST}}$ [1]	10

[1] 当外部时钟频率大于 12MHz 时，必须支持 P1.5 管脚的外部复位。

9.12.1 I/O 口配置

除了下面所列的 I/O 口外，P89LPC915/916/917 的其他所有 I/O 口均可由软件配置成 4 种输出类型之一。四种输出类型分别为：准双向口(标准 8051 输出模式)，推挽，开漏输出或仅为输入功能。每个口配置 2 个控制寄存器控制每个管脚输出类型。

P1.5/ $\overline{\text{RST}}$ 只能作为输入口，无法进行配置。

SCL/T0/P1.2 和 SDA/ $\overline{\text{INT0}}$ /P1.3 只能配置为输入口或开漏口。

9.12.2 准双向口输出配置

准双向口输出类型可用作输出和输入功能而不需重新配置口线输出状态。这是因为当口线输出为逻辑高电平时驱动能力很弱，允许外部装置将其拉低。当管脚输出为低时，它的驱动能力很强，可吸收相当大的电流。准双向口除了有三个上拉晶体管适应不同的需要外，其特性和开漏输出有些相似。

P89LPC915/916/917 为 3V 器件，但管脚可承受 5V 电压。在准双向口模式中，如果用户在管脚加上 5V 电压，将会有电流从管脚流向 V_{DD} ，这将导致额外的功率消耗。因此，建议不要在准双向口模式中向管脚施加 5V 电压。

准双向口为带干扰抑制电路的施密特触发输入。

9.12.3 开漏输出配置

当口锁存器为‘0’时，开漏输出关闭所有的上拉晶体管而仅驱动下拉晶体管。作为一个逻辑输出时，这种配置方式必须有外部上拉，一般通过电阻外接到 V_{DD} 。

开漏端口为带干扰抑制电路的施密特触发输入。

9.12.4 仅为输入配置

该配置无输出驱动器。它为带干扰抑制电路的施密特触发输入。

9.12.5 推挽输出配置

推挽输出配置的下拉结构和开漏输出以及准双向口相同，但当锁存器为‘1’时提供持续的强上拉。推挽模式一般用于需要更大驱动电流的情况。推挽管脚为带干扰抑制电路的施密特触发输入。

9.12.6 P0 口模拟功能

P89LPC915/916/917 集成了两个模拟比较器。为了得到最佳的模拟性能并降低功耗，用于模拟功能的管脚必须禁止数字输入和输出功能。

通过将端口设置成仅为输入（高阻抗）模式来禁止数字信号输出，详见 9.12.4 节“仅为输入配置”。

P0 口的数字输入可通过 PT0AD 寄存器禁止。复位后，PT0AD 各位默认为 0 以使能数字功能。

9.12.7 附加端口特性

上电后所有的管脚都仅为输入模式，可对 P1.5 外的所有管脚进行软件配置。

- P1.5 只可用于输入功能。
- SCL/T0/P1.2 和 $\overline{SDA}/\overline{INT0}/P1.3$ 可配置为仅为输入或开漏。

每个 P89LPC915/916/917 输出口都可提供灌电流驱动 LED。但是所有口的输出电流总和不能超过规定的最大电流。请查阅表 13 “DC 特性” 得到详细的规格。

可用作输出的所有端口的电平转换速度都可以控制，这就可避免因电平转换过快而导致的噪声。转换速度在出厂时设定为大约 10ns 的上升时间和下降时间。

9.13 电源监控功能

P89LPC915/916/917 内含电源监控功能用于防止初始上电及掉电时的错误操作。这是通过两个硬件功能完成的：上电检测及掉电检测。

9.13.1 掉电检测

掉电检测功能可用于检测电源电压是否降至某一特定值以下。掉电检测的默认操作是使处理器复位。但也可通过配置产生一个中断。

通过软件来实现掉电检测的使能和禁止。

如果掉电检测使能, V_{DD} 操作电压的范围为 2.7V~3.6V。当 V_{DD} 低于掉电电压 V_{BO} (见表 13 “DC 特性”) 时产生掉电条件, 并在 V_{DD} 上升超过 V_{BO} 时取消。如果掉电检测被禁止, V_{DD} 操作电压范围为 2.4~3.6V。如果 P89LPC915/916/917 器件的电源电压可以低于 2.7V, BOE 应当保持未编程状态, 这样器件可在 2.4V 时工作。否则持续的掉电复位将使器件无法工作。

若要正确检测到掉电, V_{DD} 上升和下降时间必须符合一定规格。请参阅该数据手册中表 13 “DC 特性”。

9.13.2 上电检测

上电检测功能类似于掉电检测, 但设计成在电源初始上电后, 上升到掉电检测阈值电平之前工作。当检测到初始上电时, RSTSRC 寄存器的 POF 标志置位。POF 将会一直保持置位状态, 直到通过软件将其清零。

9.14 节电模式

P89LPC915/916/917 支持 3 种不同的节电模式。分别为空闲模式、掉电模式和完全掉电模式。

9.14.1 空闲模式

空闲模式下片内外围功能继续工作, 允许其在产生中断时激活处理器。任何一个使能的中断或复位均可结束空闲模式。

9.14.2 掉电模式

掉电模式将振荡器停振以使功耗最小。只要产生任何复位或中断, P89LPC915/916/917 都将退出掉电模式。在掉电模式中, 电源电压可以降低到 RAM 保持电压 V_{RAM} 。这样将 RAM 内容保存为进入掉电模式时的状态。SFR 内容在 V_{DD} 低于 V_{RAM} 时不受保护。因此这种情况下建议通过复位唤醒处理器。在退出掉电模式前 V_{DD} 必须上升到操作电压范围之内。

在掉电模式中某些功能继续工作并消耗电流。这样就增加了掉电时的整体功耗。这些功能包括: 掉电检测、看门狗定时器、比较器 (注: 比较器可单独实现掉电)、实时时钟 (RTC) /系统定时器。内部 RC 振荡器被禁止, 除非选择 RC 振荡器作为系统时钟并使能 RTC。

9.14.3 完全掉电模式

完全掉电模式和掉电模式的区别在于: 完全掉电模式下掉电检测电路和电压比较器都被关闭以节省功耗。内部 RC 振荡器被禁止, 除非选择 RC 振荡器作为系统时钟并使能 RTC。在掉电模式下使用内部 RC 振荡器作为 RTC 时钟源会增加相当大的功耗。当实时时钟在掉电模式下运行时, 使用外部低频时钟可实现较低的功耗。

9.15 复位

P1.5/ \overline{RST} 管脚可作为低有效复位输入或数字输入口。当 UCFG1 寄存器中的位 RPE(复位管脚使能)置位时, 使能 P1.5 的外部复位输入功能。当清零时, P1.5 可作为一个输入管脚。

注：在上电过程中，RPE 选择无效，该管脚总是作为外部复位输入。在上电过程中，连接到该管脚的外部电路不应将其拉低，否则将使器件一直处于复位状态。在上电完成之后，该管脚可根据 RPE 位的状态作为外部复位输入或数字输入口。只有上电复位会暂时使 RPE 的设定失效，其它复位源无法影响 RPE 位的设定。

复位可由下列复位源引起：

- 外部复位管脚（上电或通过 UCFG1 配置为使用外部复位，当振荡器频率大于 12MHz 时，必须使用该选项。）
- 上电检测
- 掉电检测
- 看门狗定时器
- 软件复位
- UART 间隔字符检测复位

每一个复位源在复位寄存器 RSTSRC 中都有一个对应的标志。用户可读取该寄存器以判断最近的复位源是哪一个。这些标志位可通过软件写入“0”清零。可以有多于一个的标志位置位：

- 上电复位时，POF 和 BOF 都置位，而其它标志位清零
- 对于其它的复位，之前置位的标志位不会受到影响

9.16 定时器 / 计数器 0 和 1

P89LPC915/916/917 有两个通用定时/计数器，与标准 80C51 定时器 0 及定时器 1 兼容。另外增加了定时器溢出时 T0 脚自动翻转的功能选项。P89LPC917 的定时器溢出时 T1 脚也可自动翻转。用作“定时器”功能时，每经过一个机器周期，寄存器值加 1。用作“计数器”功能时，定时器 0 的寄存器在对应的外部输入管脚 T0 的每一个 1 到 0 的跳变时加 1。使用该功能时，外部输入每个机器周期被采样一次。

定时器 0 有 5 种工作模式（模式 0，1，2，3 和 6）。

定时器 1 有 4 种工作模式（模式 0、1、2 和 3），P89LPC917 的定时器 1 还可工作在模式 6。模式 0、1 和 2 对于两个定时/计数器是一样的。模式 3 则不同。

9.16.1 模式 0

将定时器设置成模式 0 时类似 8048 定时器，即带 32 分频-预分频器的 8 位计数器。在此模式中，定时器寄存器配置为 13 位寄存器。定时器 0 和定时器 1 在模式 0 中的操作相同。

9.16.2 模式 1

模式 1 除了使用的定时器是 16 位外，其它与模式 0 相同。

9.16.3 模式 2

在此模式中，定时器寄存器作为可自动重装的 8 位计数器。定时器 0 和定时器 1 在模式 2 中的操作相同。

9.16.4 模式 3

在模式 3 中定时器 1 停止工作。在此模式中，定时器 0 用作两个独立的 8 位计数器，用于需要一个额外的 8 位定时器的场合。当定时器 1 处于模式 3 时，它可用作串行口的波特率发生器。

9.16.5 模式 6

在该模式中，定时器可以改变为一个周期为 256 个定时器时钟的 PWM。

9.16.6 定时器溢出触发输出

定时器 0 (和 P89LPC917 的定时器 1) 可配置为发生定时器溢出时自动触发定时器输出脚 Tx。定时器 0 和 P89LPC917 定时器 1 的计数输入和定时器触发输出占用相同的管脚。打开该模式后，在首次定时器溢出之前端口的输出为逻辑 1。

9.17 实时时钟/系统定时器

P89LPC915/916/917 具有一个简单的实时时钟。它允许用户在器件其它部分掉电时能够继续运行一个精确的定时器。实时时钟可以作为一个唤醒或一个中断源。实时时钟是一个 23 位倒计时器，由 1 个 7 位的预分频器和 1 个 16 位的可装载倒计时器组成。它的值达到 0 时计数器重载，并建立 RTCF 标志。

P89LPC915/916/917 计数器的时钟源是 CPU 时钟 (CCLK) 或外部时钟输入，前提是外部时钟输入不作为 CPU 时钟。如果外部时钟输入作为 CPU 时钟源，实时时钟 (RTC) 将使用 CCLK 作为它的时钟源。

只有上电复位才能将实时时钟及其相关的寄存器复位为默认状态。

9.18 UART

P89LPC915/916/917 含有一个增强型的 UART。它和传统的 80C51 UART 兼容，但有一点除外，即定时器 2 的溢出不能用于产生波特率。P89LPC915/916/917 还带有一个独立的波特率发生器。波特率可以选择由 CCLK (由一个常数分频)，定时器 1 溢出或者独立的波特率发生器产生。除了产生波特率以外，在标准 80C51 UART 基础上还增加了帧错误检测、自动地址识别、可选的双缓冲以及几个中断选项。UART 具有 4 种操作模式：移位寄存器、8 位 UART、9 位 UART 和 CCLK/32 或 CCLK/16。

9.18.1 模式 0

串行数据通过 RxD 进出。TxD 输出移位时钟。每次发送或接收都为 8 位，LSB (最低位) 在前。波特率固定为 CPU 时钟频率的 1/16。

9.18.2 模式 1

TxD 脚发送，RxD 脚接收，每次数据为 10 位：1 个起始位 (逻辑 0)，8 个数据位 (LSB 在前) 以及 1 个停止位 (逻辑 1)。当接收数据时，停止位保存在 SCON 中的 RB8。该模式的波特率可变，由定时器 1 溢出速率或波特率发生器决定 (详见 9.18.5 节“波特率发生器及选择”)。

9.18.3 模式 2

TxD 脚发送, RxD 脚接收, 每次数据为 11 位: 1 个起始位 (逻辑 0), 8 个数据位 (LSB 在前), 一个可编程第 9 位数据及 1 个停止位 (逻辑 1)。发送数据时, 第 9 个数据位 (SCON 中的 TB8 位) 可置为 0 或 1。例如可将奇偶位 (PSW 内 P 位) 放入 TB8。接收时, 第 9 位数据存入 SCON 的 RB8 位, 而停止位不会被保存。波特率可编程为 CPU 时钟频率的 1/16 或 1/32, 由 PCON 内 SMOD1 位决定。

9.18.4 模式 3

TxD 脚发送, RxD 脚接收, 每次数据为 11 位: 1 个起始位 (逻辑 0), 8 个数据位 (LSB 在前), 1 个可编程的第 9 位数据及 1 个停止位 (逻辑 1)。实际上, 模式 3 除了波特率外其它均与模式 2 相同。模式 3 的波特率可变并由定时器 1 溢出率或波特率发生器决定 (详见 9.18.5 节“波特率发生器及选择”)。

9.18.5 波特率发生器及选择

P89LPC915/916/917 具有一个独立的波特率发生器。波特率取决于对 BRGR1 和 BRGR0 预先编程的值。它们组合起来作为一个 16 位的波特率因子。这和定时器 1 的工作方式相似。如果使用波特率发生器, 定时器 1 可用作其它的定时功能。

UART 可使用定时器 1 或者波特率发生器的输出来产生波特率 (见图 13)。需要注意的是, 如果 SMOD1(PCON.7)清零, 定时器 T1 被 2 分频。独立的波特率发生器使用 CCLK 作为时钟源。

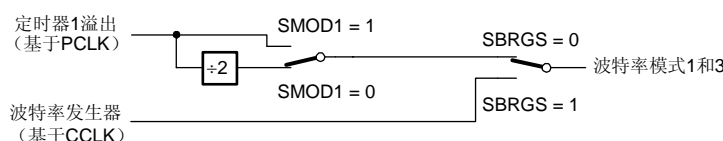


图 13 UART 波特率的产生 (模式 1, 3)

9.18.6 帧错误

帧错误在状态寄存器 SSTAT 中报告。此外, 如果 SMOD0(PCON.6)为 1, SCON.7 单独作为帧错误位。如果 SMOD0 为 0, SCON.7 作为 SM0。建议在 SMOD0 为 0 时对 SM0 和 SM1(SCON.7:6)进行设置。

9.18.7 间隔检测

间隔检测在状态寄存器 (SSTAT) 中报告。当连续检测到 11 个位都为低电平时, 则认为检测到一个间隔。间隔检测可用来将器件复位。

9.18.8 双缓冲

UART 具有一个发送双缓冲器, 这就允许第一个字符正在发送的时候向 SBUF 写入第二个字符。双缓冲允许任两个字符间只有一个停止位的字符串的发送, 只要下一个字符在前一个字符的起始位和停止位之间发送即可。

双缓冲可以被禁止。当禁止时 (DBMOD=0, 也就是 SSTAT.7=0), UART 和传统的 80C51 UART 兼容。如果使能该功能, UART 允许在前一个数据移位发送的过程中向 SBUF 写入新数据。只有在模式 1, 2 和 3 中才可以使能双缓冲。当处于模式 0 时, 必须禁止双缓冲 (DBMOD=0)。

9.18.9 双缓冲使能时发送中断 (模式 1, 2 和 3)

与传统的 UART 不同的是, 在双缓冲模式中, Tx 中断发生在双缓冲器准备好接收新数据的时候。

9.18.10 双缓冲中的第 9 位 (位 8) 数据 (模式 1, 2 和 3)

如果双缓冲被禁止, 对 TB8 的写操作可以在写入 SBUF 之前或之后进行, 只要在第 9 位数据被移出之前将其更新即可。在该位移出 (通过 Tx 中断指示) 之前不要改变 TB8。

如果双缓冲使能, TB8 必须在写 SBUF 之前更新, 因为 TB8 将和 SBUF 的数据一起双缓冲。

9.19 I²C 总线接口

I²C 总线用两条线 (SDA 和 SCL) 在连接到总线上的器件之间传递信息。总线的主要特性如下:

- 主机和从机之间为双向数据传送
- 多主机总线 (无中央主机)
- 多主机同时传送时进行仲裁避免总线上数据冲突
- 串行时钟同步使得不同位速率的器件可以通过一条串行总线进行通信
- 串行时钟同步可作为握手机制, 用于挂起和恢复串行传输
- I²C 总线可用于测试和诊断

典型的 I²C 总线配置如图 14 所示。P89LPC915/916/917 器件提供字节方式的 I²C 接口。所支持的最大数据传输速率为 400kHz。

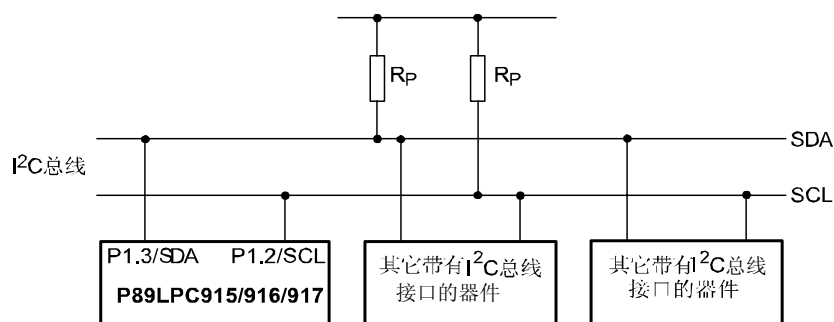


图 14 I²C 总线配置

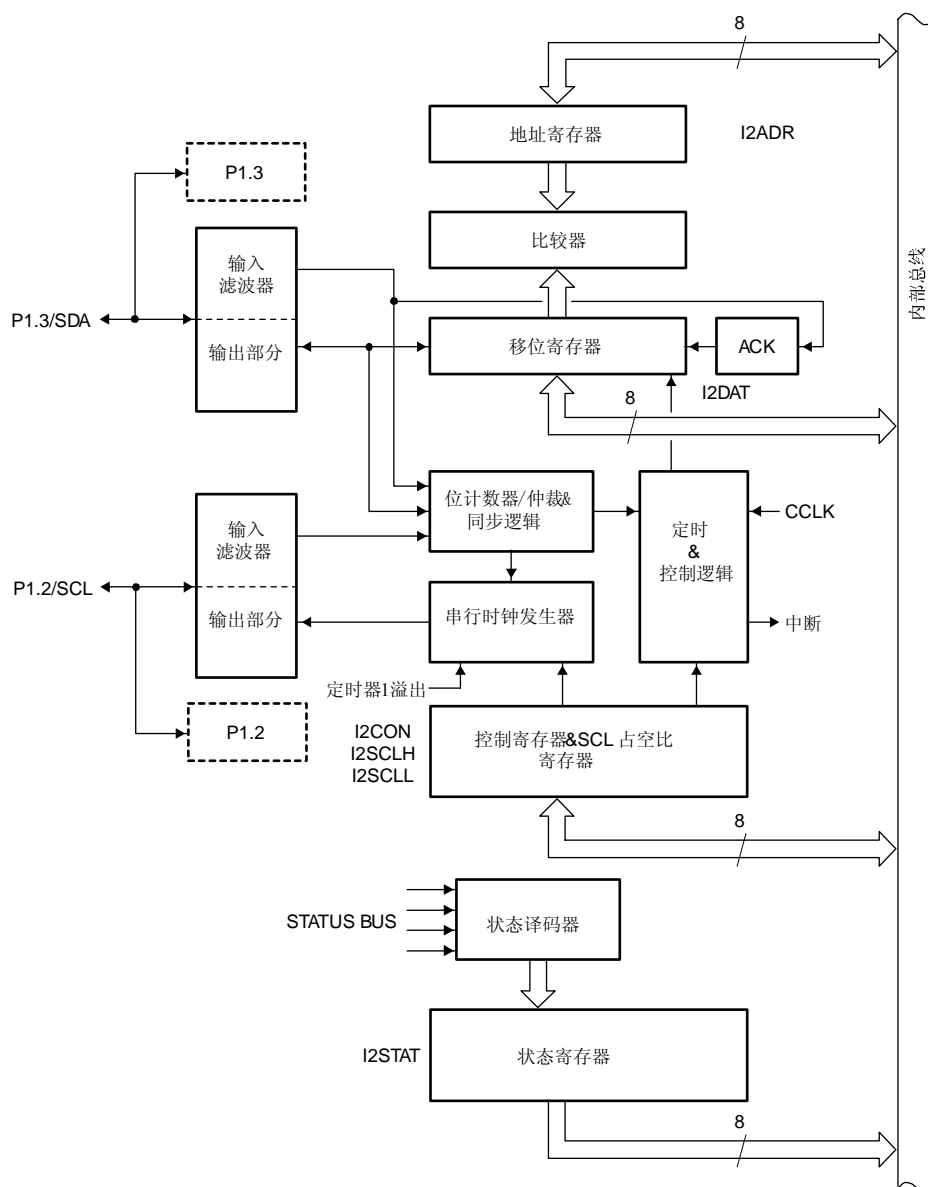


图 15 I²C 总线串行接口框图

9.20 串行外围接口（SPI—P89LCP916）

P89LPC916 还提供另一种高速串行通信接口——SPI 接口。SPI 是一种全双工、高速、同步的通信总线，有两种操作模式：主模式和从模式。在主模式和从模式中均支持高达 3Mbit/s 的速率（主模式支持高达 4.5 Mbit/s 的速率，从模式支持 3Mbit/s）。还具有传输完成标志和写冲突标志保护。

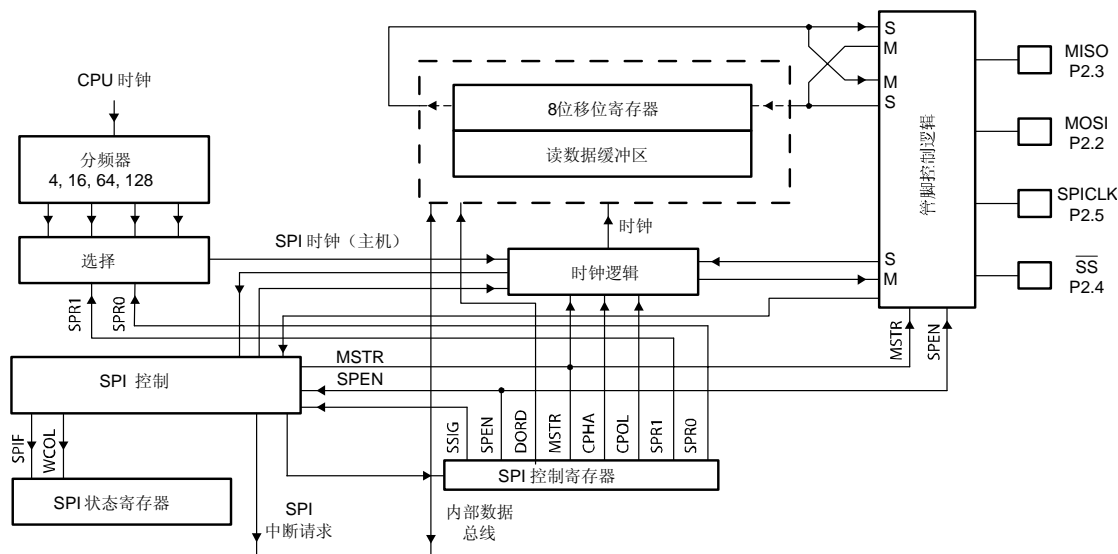


图 16 SPI 方框图 (P89LPC916)

SPI 接口有 4 个管脚: SPICLK, MOSI, MISO 和 \overline{SS} :

- 在两个或更多器件中, SPICLK, MOSI 和 MISO 通常连接在一起。数据通过 MOSI 从主机传送到从机(主机输出, 从机输入), 通过 MISO 从从机传送到主机(主机输入, 从机输出)。SPICLK 信号在主模式时为输出, 在从模式时为输入。如果 SPI 系统被禁止, 即 SPEN(SPCTL.6)=0(复位值), 这些管脚都可作为 I/O 口使用。
- \overline{SS} 为从机选择管脚。在典型的配置中, SPI 主机使用 I/O 口选择一个 SPI 器件作为当前的从机。SPI 从器件通过其 \overline{SS} 脚确定是否被选择。

典型连接如图 17, 18 和 19 所示。

9.2.0.1 典型的 SPI 配置

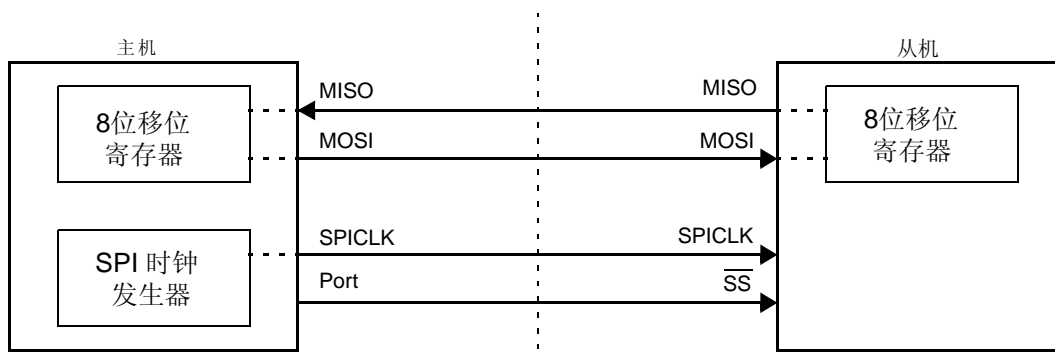


图 17 SPI 单主机单从机配置

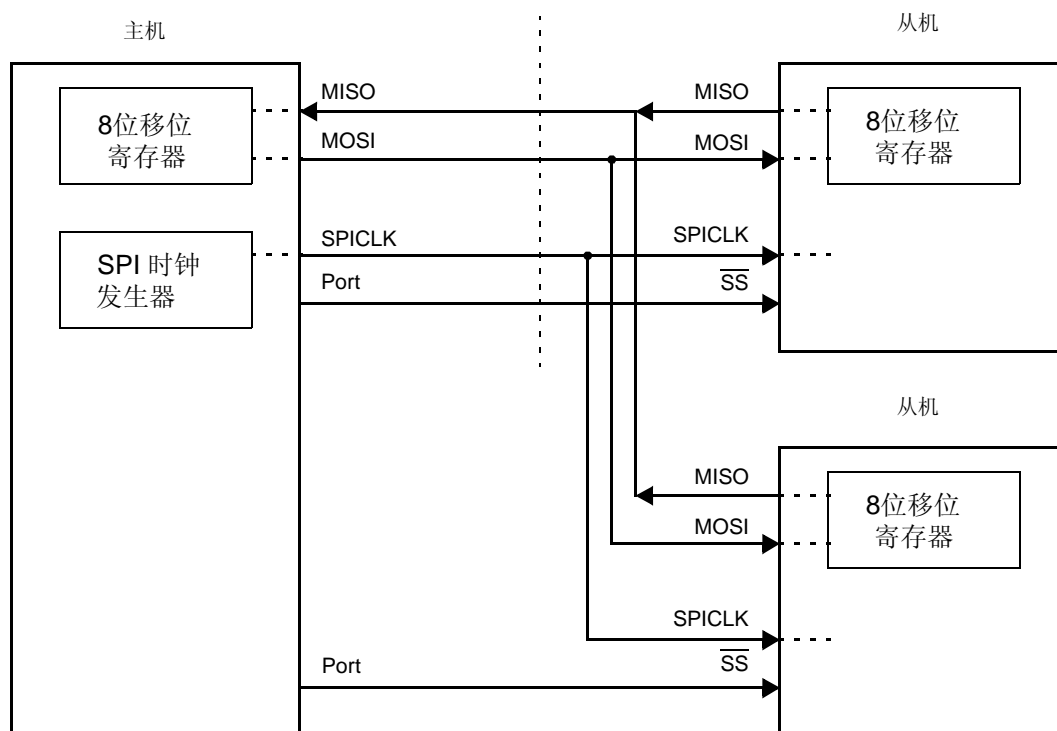


图 18 SPI 单主机多从机配置

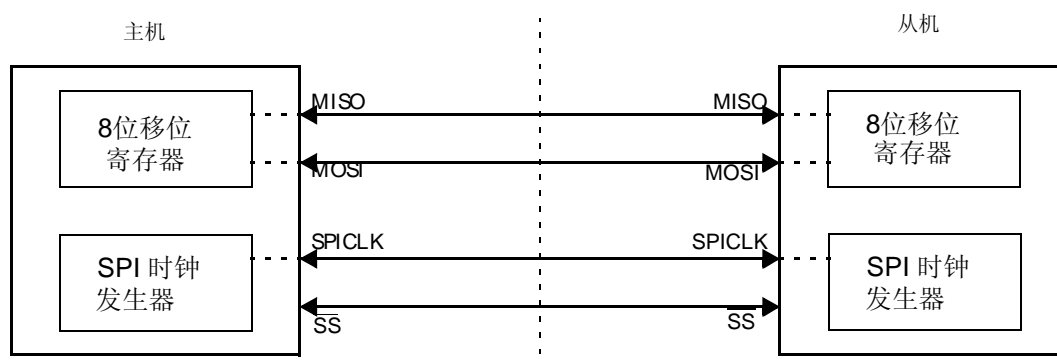


图 19 SPI 双器件配置（两器件可互为主从）

9.21 模拟比较器

P89LPC915/916/917 含有 2 个模拟比较器，输入和输出选项允许将比较器配置成为不同模式。当正相输入电压大于反相输入时（可选择外部管脚输入或内部参考电压），输出信号为“1”，反之则输出为“0”。每个比较器都可配置为当输出发生改变时产生中断。比较器 1 可从端口管脚输出。

两个比较器总的连接方式如图 20 所示。比较器的最低工作电压为 $V_{DD}=2.4V$ 。

当每个比较器刚被使能时，比较器输出和中断标志需要 10 微秒的稳定时间，在这段时间里，相应的比较器中断不应使能，并且在使能中断以前必须清零相应的比较器中断标志，以避免立即响应中断服务。

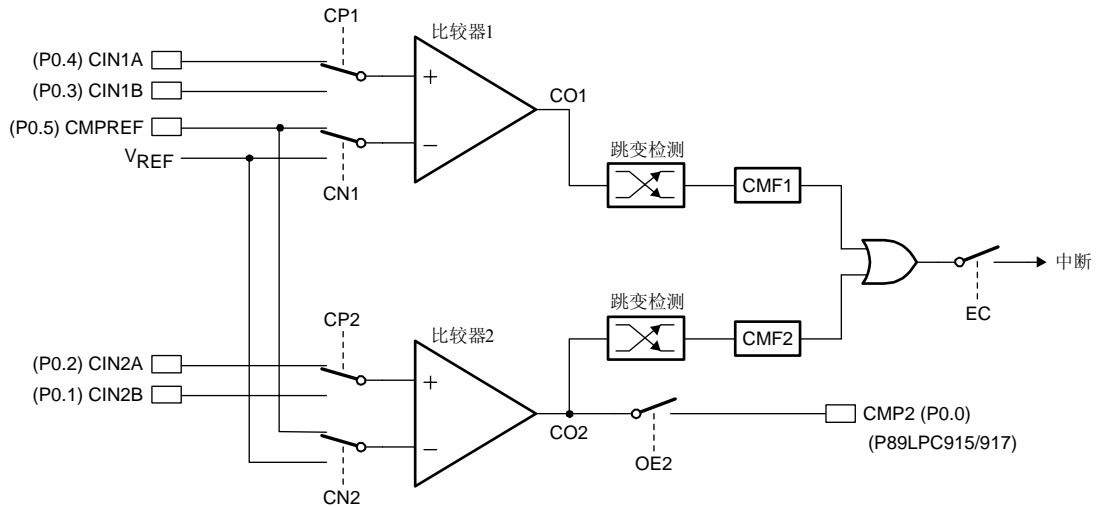


图 20 比较器输入和输出的连接

9.22 内部参考电压

当使用单个比较器输入管脚时，内部参考电压发生器可提供一个默认的参考电压。参考电压的值为 $V_{ref} = 1.23V \pm 10\%$ 。

9.23 比较器中断

每个比较器配置寄存器中都有一个比较器中断标志位。当比较器输出状态改变时中断标志位置位，此标志位可通过软件查询或用于产生一个中断。两个比较器使用同一个中断向量。如果两个比较器都能使能中断，在进入中断服务程序之后，用户需要读取中断标志以确定是哪一个比较器产生的中断。

可能的比较器配置如图 20 所示。

9.24 比较器和节电模式

在掉电模式或空闲模式下，两个比较器或其中一个可以继续保持使能状态。但在完全掉电模式中，两个比较器都被自动禁止。

当比较器中断使能时（完全掉电模式除外），比较器输出发生改变时将会产生一个中断并将处理器唤醒。当比较器输出到管脚使能时，此管脚应该配置为推挽输出模式以便在掉电工作模式下获得较快的切换速度。这样做是因为当振荡器停止后，打开准双向口不会产生正常情况下的短时强上拉。

比较器在掉电或空闲状态下所消耗的电流和正常操作模式下相同。当系统功耗是一个重要的指标时，就必须将比较器的功耗考虑在内。若要降低功耗，用户可通过 PCONA.5 禁止比较器，或将器件设置为完全掉电模式。

9.25 键盘中断 (KBI)

键盘中断功能主要用于当 P0 口等于或不等于特定的模式时产生一个中断。该功能可用于总线地址识别或对键盘的识别。用户可通过 SFR 将端口配置为不同的用途。

键盘中断屏蔽寄存器 (KBMASK) 用于定义连接到 P0 口的使能触发中断的输入管脚。键盘模式寄存器 (KBPATN) 用于定义与 P0 口值相比较的模式。当键盘中断功能有效且条件匹配时, 键盘中断控制寄存器 (KBCON) 中的键盘中断标志 (KBIF) 置位。如果中断使能, 则会产生一个中断。键盘中断控制寄存器 (KBCON) 中的 PATN_SEL 位用于比较时定义等于或不等于。

为了将其设置为类似 87LPC76x 的 KBI 功能, 用户必须设置 KBPATN=0FFH 和 PATN_SEL=1 (不相等), 这样任何连接到 P0 口管脚(由 KBMASK 寄存器使能)的按键都将使硬件置位 KBIF 并产生中断(如果中断使能)。该中断可用于将 CPU 从空闲模式或掉电模式中唤醒。此特性尤其适合便携式且使用电池供电的系统, 因为这些系统需要对功耗进行管理同时又要方便用户使用。

为了置位中断标志并产生中断, P0 口模式的保持时间必须长于 6 个 CCLK。

9.26 看门狗定时器

当软件没能在定时器溢出之前执行喂狗操作时, 看门狗定时器就会产生复位。看门狗定时器包含一个可编程的 12 位预分频器和一个 8 位计数器。该计数器的值以预分频器的节拍递减。预分频器的时钟源可选择 PCLK 或标称值为 400KHz 的看门狗振荡器。看门狗定时器只能通过上电实现复位。如果不使用看门狗特性, 看门狗定时器还可用作内部定时器, 可产生中断。图 21 所示为看门狗模式中的看门狗定时器。执行喂狗操作时必须按顺序执行两条指令。如果将 PCLK 作为看门狗的时钟源并且 CPU 处于掉电模式中, 则看门狗被禁止。看门狗的超时周期范围从几微秒到几秒。具体数据请参阅 P89LPC915/916/917 使用指南。

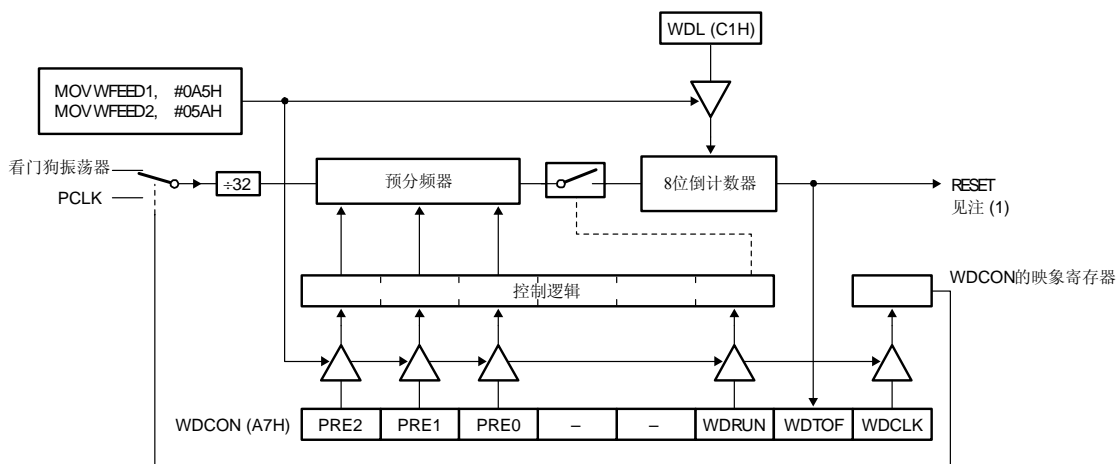


图 21 看门狗模式中的看门狗定时器 (WDTE=1)

9.27 附加特性

9.27.1 软件复位

AUXR1 寄存器的 SRST 位使软件能像发生外部复位或看门狗复位一样，使处理器彻底复位。写入 AUXR1 时，务必小心以防止产生意外的软件复位。

9.27.2 双数据指针

双数据指针 (DPTR) 提供两个不同的数据指针结合特定的指令可指明地址。AUXR1 寄存器的 DPS 位选择两个数据指针中的一个。AUXR1 的位 2 的逻辑电平永远都为“0”，这样 DPS 位可以简单地通过将 AUXR1 加 1 进行翻转（因此对数据指针进行切换）而不会影响寄存器的其它位。

9.28 Flash 程序存储器

9.28.1 概述

P89LPC915/916/917 Flash 存储器提供在电路擦除和编程。Flash 可以字节为单位进行擦除、读取和写入。扇区和页擦除功能可擦除任意的 Flash 扇区 (256 字节) 或页 (16 字节)。芯片擦除功能可实现整个程序存储器的擦除。可利用标准商用编程器来实现在电路编程，P89LPC915/916/917 的在应用中编程 (IAP-Lite) 和字节擦除功能允许程序存储器用作非易失性数据存储。片内产生的擦除和写入时序为用户提供了友好的编程接口。P89LPC915/916/917 Flash 存储器甚至在经过 100,000 次擦除和编程之后仍然能可靠地保存存储器的内容。存储单元的设计优化了擦除和编程结构。P89LPC915/916/917 使用 V_{DD} 电压作为电源电压来执行编程/擦除算法。

9.28.2 特性

- 可在整个操作电压范围内执行编程和擦除。
- 字节擦除功能允许程序存储器用作数据存储。
- 使用 ICP 进行读/编程/擦除。
- 任意编程 Flash 时间小于 4ms。
- 使用工业标准的商用编程器进行编程。
- 可对每一个 Flash 扇区进行编程加密。
- 每个字节至少可执行 100,000 次擦除/编程。
- 数据至少可保存 10 年。

9.28.3 Flash 的结构

P89LPC915/916/917 程序存储器包含 8 个 256 字节的扇区。每个扇区可进一步分成 16 个 16 字节的页。除了扇区擦除、页擦除和字节擦除外，还包含一个 16 字节页寄存器，它可实现给定页 1 到 16 字节的同时编程，这彻底降低了整个编程时间。另外，还可对包括 UCFG1、引导状态位和引导向量在内的用户配置字节进行擦除和重编程。

9.28.4 Flash 的编程和擦除

有多种不同方法可实现对 Flash 的编程或擦除。一种方法是在应用固件控制的终端用户应用程序 (IAP) 中对 Flash 进行编程和擦除。另一种方法是使用在电路编程 (ICP)。该 ICP 系统使用支持该器件的商用 EPROM 编程器通过一个串行时钟—串行数据接口来进行编程。该器件不提供对代码内容的直接校验。而是提供一个扇区或整个 2KB 用户代码区的 32 位 CRC 结果。

9.28.5 在电路编程 (ICP)

执行在电路编程时不需要将微控制器从系统中移出。在电路编程特性包含了一系列内部的硬件资源, 通过一个 2 线串行接口可实现 P89LPC915/916/917 的远程编程。PHILIPS 的在电路编程特性使嵌入式应用中的在电路编程变得可行 (使用商用编程器), 并最大限度减小了额外的元件开销和电路板面积。ICP 功能使用芯片的 5 个管脚。只需要一个小的连接器 (含有 V_{dd}, V_{ss}, $\overline{\text{RST}}$, 时钟和数据信号) 就可实现应用电路和商用编程器的连接。请参阅 P89LPC915/916/917 使用指南。

9.28.6 在应用中编程的方法 (IAP-Lite)

在应用中编程功能在微控制器的固件控制下在应用程序中执行。IAP 特性包含的内部硬件资源可实现 P89LPC915 /916/917 的编程和擦除。PHILIPS 的在应用中编程特性使嵌入式应用中的在应用中编程轻松实现, 无需另外增加元件。IAP 通过使用 4 个 SFR 来实现 (1 个控制/状态寄存器、1 个数据寄存器和 2 个地址寄存器)。请参阅 P89LPC915/916/917 使用指南。

9.28.7 Flash 作为数据存储器使用

器件的 Flash 程序存储器阵列支持单个字节的擦除和编程。只要包含所访问字节的扇区未加密, 就可利用 MOVC 指令来读取程序存储器阵列中的字节 (MOVC 指令不能读出加密扇区的程序存储器内容)。这样, 未加密扇区中的任何字节都可用于非易失性数据的存储。

9.28.8 用户配置字节

P89LPC915/916/917 的众多用户可配置的特性必须在上电时定义, 开始执行程序后便不可设置了。这些特性通过配置 Flash 字节 UCFG1 实现。请参阅 P89LPC915/916/917 使用指南。

9.28.9 用户扇区保密字节

P89LPC915/916/917 具有 8 个用户扇区保密字节, 每个字节对应一个扇区。请参阅 P89LPC915/916/917 使用指南。

10. 极限参数

表 12 极限参数

遵循绝对最大额定系统规范 (IEC60134) [1]。

符号	参数	条件	最小	最大	单位
Tamb(bias)	工作环境温度		-55	+125	°C
Tstg	储存温度		-65	+150	°C
Vn	任意脚对 V _{SS} 电压		-0.5	+5.5	V
I _{OH(I/O)}	每个 I/O 口高电平输出电流		-	8	mA
I _{OL(I/O)}	每个 I/O 口低电平输出电流		-	20	mA
I _{I/O(tot)(max)}	所有 I/O 口总的最大电流		-	120	mA
Ptot(max)	功率损耗	基于封装的热传递, 并非器件的功耗	-	1.5	W

- [1] 器件在超过表 12 “极限参数” 工作可能会造成永久性的损坏。这里只列出了一些极限值, 并未涉及到这些极限值或除表 13 “DC 电气特性”、表 14 “AC 特性” 和表 15 “AC 特性” (P89LPC912, P89LPC913) 中所描述的条件以外的其它条件下的器件功能操作。
- [2] 本产品带有保护器件内部的电路设计, 以避免过量静电荷的损坏性影响。但是建议不要在超过极限值的情况下工作。
- [3] 参数在操作温度范围内是有效的, 除非另有规定。所有的电压都是相对 V_{SS} 而言的, 除非另有说明。

11. 静态特性

表 13 DC 电气特性

V_{DD}=2.4V~3.6V, 除非另有说明。

T_{amb}=-40°C~+85°C (工业级), -40°C~+125°C (扩展温度), 除非另有说明。

符号	参数	测试条件	最小	典型 ¹	最大	单位
I _{DD(oper)}	电源电流, 正常工作模式	3.6V; 12MHz	[2]-	7	13	mA
		3.6V; 18MHz	[2]-	11	16	mA
I _{DD(idle)}	电源电流, 空闲模式	3.6V; 12MHz	[2]-	3.6	4.8	mA
		3.6V; 18MHz	[2]-	4	6	mA
I _{DD(PD)}	电源电流, 掉电模式, 电压比较器掉电	3.6V; 工业级	[2]-	45	70	μA
		3.6V; 扩展	[2]-	-	150	μA
I _{DD(TPD)}	电源电流, 完全掉电模式	3.6V; 工业级	[2]-	<0.1	5	μA
		3.6V; 扩展	[2]-	-	50	μA
(dV _{DD} /dt) _r	V _{DD} 上升速率		-	-	2	mV/μs
(dV _{DD} /dt) _f	V _{DD} 下降速率		-	-	50	mV/μs
V _{RAM}	RAM 保持电压		1.5	-	-	V
V _{th(HL)}	负阈值电压(施密特触发输入)		0.22V _{DD}	0.4V _{DD}	-	V

续表 13

符号	参数	测试条件	最小	典型 1	最大	单位
$V_{th(LH)}$	正门槛电压(施密特触发输入)			$0.6V_{DD}$	$0.7V_{DD}$	V
V_{hys}	滞后电压		-	$0.2V_{DD}$	-	V
V_{OL}	输出低电压, 所有管脚	$I_{OL}=20mA$	-	0.6	1.0	V
		$I_{OL}=10mA$	-	0.3	0.5	V
		$I_{OL}=3.2mA$		0.2	0.3	V
V_{OH}	输出高电压, 所有管脚	$I_{OH}=-8mA$,推挽模式	$V_{DD}-1$	-	-	V
		$I_{OH}=-3.2mA$,推挽模式	$V_{DD}-0.7$	$V_{DD}-0.4$	-	V
		$I_{OH}=-20\mu A$,准双向模式	$V_{DD}-0.3$	$V_{DD}-0.2$	-	V
C_{ig}	输入一地的电容		[3]-	-	15	pF
I_{IL}	逻辑 0 输入电流, 所有管脚	$V_{IN}=0.4V$	[4]-		-80	μA
I_{LI}	输入漏电流, 所有管脚 ⁴	$V_{IN}=V_{IL}$ 或 V_{IH} ⁴	[5]-	-	± 10	μA
I_{TL}	逻辑 1 到 0 跳变电流	$V_{IN}=2.0V$ 在 $V_{DD}=3.6V$ 时	[6][7]-30	-	-450	μA
R_{RST}	内部复位上拉电阻		10	-	30	k Ω
V_{BO}	BOV=1,BOPD=0 时掉电电压	$2.4V < V_{DD} < 3.6V$	2.40	-	2.70	V
V_{REF}	带隙参考电压		1.11	1.23	1.34	V
$TC(V_{REF})$	带隙温度系数		-	10	20	ppm/ $^{\circ}C$

- [1] 不能保证得到典型的标称值。表中所列值为在室温, 电压 3V 下测得。
- [2] $I_{DD(oper)}$, $I_{DD(idle)}$ 和 $I_{DD(PD)}$ 的规格在以下条件下测得: 使用外部时钟源, 关闭比较器、掉电检测、**ADC**、**I2C 总线**、**UART**、**SPI** 和看门狗定时器。
- [3] 管脚电容由其特性得到, 但未作测试。
- [4] 在准双向模式下测得。
- [5] 在高阻模式下测得。
- [6] 带弱上拉的准双向口模式 (用于所有带上拉的口)。
- [7] 准双向口模式和外部驱动 1 变 0 时的管脚的跳变电流。当 V_{IN} 大约为 2V 时, 该电流最大。

12. 动态特性

表 14 AC 特性

$V_{DD}=2.4V\sim 3.6V$ ，除非特别说明。

$T_{amb}=-40^{\circ}C\sim +85^{\circ}C$ （工业级）， $-40^{\circ}C\sim +125^{\circ}C$ （扩展温度），除非特别说明。^[1]

符号	参数名	条件	可变时钟		$f_{osc}=12MHz$		单位
			最小	最大	最小	最大	
f_{RCOSC}	内部 RC 振荡器频率（标称值 $f=7.3728MHz$ ） $T_{amb}=25^{\circ}C$ 时调整精度为 $\pm 1\%$	工业级	7.189	7.557	7.189	7.557	MHz
		扩展	7.004	7.741	7.004	7.741	MHz
f_{WDOSC}	内部看门狗振荡器频率（标称值 $f=400kHz$ ）		320	520	320	520	KHz
外部时钟输入							
f_{OSC}	振荡器频率		0	12	-	-	MHz
t_{CLCL}	时钟周期	见图 27	83	-	-	-	ns
f_{CLKP}	CLKLP 有效频率		0	8	-	-	MHz
t_{CHCX}	高电平时间	见图 27	22	$t_{CLCL}-t_{CLCX}$	22	-	ns
t_{CLCX}	低电平时间	见图 27	22	$t_{CLCL}-t_{CHCX}$	22	-	ns
t_{CLCH}	上升时间	见图 27	-	8	-	8	ns
t_{CHCL}	下降时间	见图 27	-	8	-	8	ns
干扰滤波器							
	P1.5/ \overline{RST} 脚干扰抑制		-	50	-	50	ns
	P1.5/ \overline{RST} 脚信号接收		125	-	125	-	ns
	任意脚（P1.5/ \overline{RST} 除外）干扰抑制		-	15	-	15	ns
	任意脚（P1.5/ \overline{RST} 除外）信号接收		50	-	50	-	ns
移位寄存器（UART 模式 0）							
t_{XLXL}	串行口时钟周期	见图 26	$16 t_{CLCL}$	-	1333	-	ns
t_{QVXH}	输出数据建立到时钟上升沿	见图 26	$13 t_{CLCL}$	-	1083	-	ns
t_{XHGX}	时钟上升沿后输出数据保持	见图 26	-	$t_{CLCL}+20$	-	103	ns
t_{XHDV}	时钟上升沿后输入数据保持	见图 26	-	0	-	0	ns
t_{DVXH}	输入数据有效到时钟上升沿	见图 26	150	-	150	-	ns
SPI 接口							
f_{SPI}	操作频率						
	2.0MHz（从机）		0	CCLK/6	0	2.0	MHz
	3.0MHz（主机）		-	CCLK/4	-	-	MHz
t_{SPICYC}	周期		见图 22,23,24,25				
	2.0MHz（从机）		6/CCLK	-	500	-	ns
	3.0MHz（主机）		4/CCLK	-	-	-	ns
$t_{SPILEAD}$	使能超前时间（从机）		见图 24,25				
	2.0MHz		250	-	250	-	ns

续表 14

符号	参数名	条件	可变时钟		f _{osc} =12MHz		单位
			最小	最大	最小	最大	
t _{SPILAG}	使能滞后时间（从机）	见图 24,25					
	2.0MHz		250	-	250	-	ns
t _{SPICLKH}	SPICLK 高电平时间	见图 22,23,24,25					
	主机		2/CCLK	-	340	-	ns
	从机		3/CCLK	-	190	-	ns
t _{SPICLKL}	SPICLK 低电平时间	见图 22,23,24,25					
	主机		2/CCLK	-	340	-	ns
	从机		3/CCLK	-	190	-	ns
t _{SPIDSU}	数据建立时间（主机或从机）	见图 22,23,24,25	100	-	100	-	ns
t _{SPI DH}	数据保持时间（主机或从机）	见图 22,23,24,25	100	-	100	-	ns
t _{SPIA}	访问时间（从机）	见图 24,25	0	120	0	120	ns
t _{SPI DIS}	禁止时间（从机）	见图 24,25					
	2.0MHz		0	240	-	240	ns
t _{SPI DV}	使能到数据输出有效	见图 22,23,24,25					
	2.0MHz		0	240	-	240	ns
	3.0MHz		0	167	-	167	ns
t _{SPI OH}	输出数据保持时间	见图 22,23,24,25	0	-	0	-	ns
t _{SPI R}	上升时间	见图 22,23,24,25					
	SPI 输出（SPICLK, MOSI, MISO）		-100	-	-	100	ns
	SPI 输入（SPICLK, MOSI, MISO, \overline{SS} ）		-	2000	-	2000	ns

[1] 如果没有另外定义，这些参数在操作温度范围内有效。部分特性在 2MHz 下测试，但保证操作频率可以降低到 0Hz。

表 15 AC 特性

$V_{DD}=2.4V\sim 3.6V$ ，除非特别说明。

$T_{amb}=-40^{\circ}C\sim +85^{\circ}C$ （工业级）， $-40^{\circ}C\sim +125^{\circ}C$ （扩展温度），除非特别说明。^[1]

符号	参数名	条件	可变时钟		$f_{OSC}=18MHz$		单位
			最小	最大	最小	最大	
f_{RCOSC}	内部 RC 振荡器频率（标称值 $f=7.3728MHz$ ） $T_{amb}=25^{\circ}C$ 时调整精度为 $\pm 1\%$	工业级	7.189	7.557	7.189	7.557	MHz
		扩展	7.004	7.741	7.004	7.741	MHz
f_{WDOSC}	内部看门狗振荡器频率（标称值 $f=400kHz$ ）		320	520	320	520	KHz
外部时钟输入							
f_{OSC}	振荡器频率		[1]0	18	-	-	MHz
t_{CLCL}	时钟周期	见图 27	55	-	-	-	ns
f_{CLKP}	CLKLP 有效频率		0	8	-	-	MHz
t_{CHCX}	高电平时间	见图 27	22	$t_{CLCL}-t_{CLCX}$	22	-	ns
t_{CLCX}	低电平时间	见图 27	22	$t_{CLCL}-t_{CHCX}$	22	-	ns
t_{CLCH}	上升时间	见图 27	-	5	-	5	ns
t_{CHCL}	下降时间	见图 27	-	5	-	5	ns
干扰滤波器							
	P1.5/ \overline{RST} 脚干扰抑制		-	50	-	50	ns
	P1.5/ \overline{RST} 脚信号接收		125	-	125	-	ns
	任意脚（P1.5/ \overline{RST} 除外）干扰抑制		-	15	-	15	ns
	任意脚（P1.5/ \overline{RST} 除外）信号接收		50	-	50	-	ns
移位寄存器（UART 模式 0）							
t_{XLXL}	串行口时钟周期	见图 26	16 t_{CLCL}	-	888	-	ns
t_{QVXH}	输出数据建立到时钟上升沿	见图 26	13 t_{CLCL}	-	722	-	ns
t_{XHGX}	时钟上升沿后输出数据保持	见图 26	-	$t_{CLCL}+20$	-	103	ns
t_{XHDX}	时钟上升沿后输入数据保持	见图 26	-	0	-	0	ns
t_{DVXH}	输入数据有效到时钟上升沿	见图 26	150	-	150	-	ns
SPI 接口							
f_{SPI}	操作频率						
	3.0MHz（从机）		0	CCLK/6	0	3	MHz
	4.5MHz（主机）		-	CCLK/4	-	4.5	MHz
t_{SPICYC}	周期		见图 22,23,24,25				
	3.0MHz（从机）		6/CCLK	-	333	-	ns
	4.5MHz（主机）		4/CCLK	-	222	-	ns
$t_{SPILEAD}$	使能超前时间（从机）		见图 24,25				
	3.0MHz		250	-	250	-	ns
t_{SPILAG}	使能滞后时间（从机）		见图 24,25				
	3.0MHz		250	-	250	-	ns

续表 15

符号	参数名	条件	可变时钟		f _{osc} =12MHz		单位
			最小	最大	最小	最大	
t _{SPICLKH}	SPICLK 高电平时间	见图 22,23,24,25					
	主机		2/CCLK	-	111	-	ns
	从机		3/CCLK	-	167	-	ns
t _{SPICLKL}	SPICLK 低电平时间	见图 22,23,24,25					
	主机		2/CCLK	-	111	-	ns
	从机		3/CCLK	-	167	-	ns
t _{SPIDSU}	数据建立时间（主机或从机）	见图 22,23,24,25	100	-	100	-	ns
t _{SPIDH}	数据保持时间（主机或从机）	见图 22,23,24,25	100	-	100	-	ns
t _{SPIA}	访问时间（从机）	见图 24,25	0	80	0	80	ns
t _{SPIDIS}	禁止时间（从机）	见图 24,25					
	3.0MHz		0	160	-	160	ns
t _{SPIDV}	使能到数据输出有效	见图 22,23,24,25					
	3.0MHz		0	160	-	160	ns
	4.5MHz		0	111	-	111	ns
t _{SPIOH}	输出数据保持时间	见图 22,23,24,25	0	-	0	-	ns
t _{SPIR}	上升时间	见图 22,23,24,25					
	SPI 输出（SPICLK, MOSI, MISO）		-100	-	-	100	ns
	SPI 输入（SPICLK, MOSI, MISO, \overline{SS} ）		-	2000	-	2000	ns

[1] 如果没有另外定义，这些参数在操作温度范围内有效。部分特性在 2MHz 下测试，但保证操作频率可以降低到 0Hz。

[2] 当使用频率高于 12MHz 的振荡器时，必须使能 P1.5 的复位输入功能。上电时，需要一个外部电路使器件保持复位状态，直至 V_{DD} 到达指定的电平。当系统电源被移走时，V_{DD} 将降至低于指定的最低工作电压。在某些使用频率高于 12MHz 的振荡器的应用中，当 V_{DD} 降至低于指定的最低工作电压时，需要一个外部掉电检测电路使器件保持复位状态。

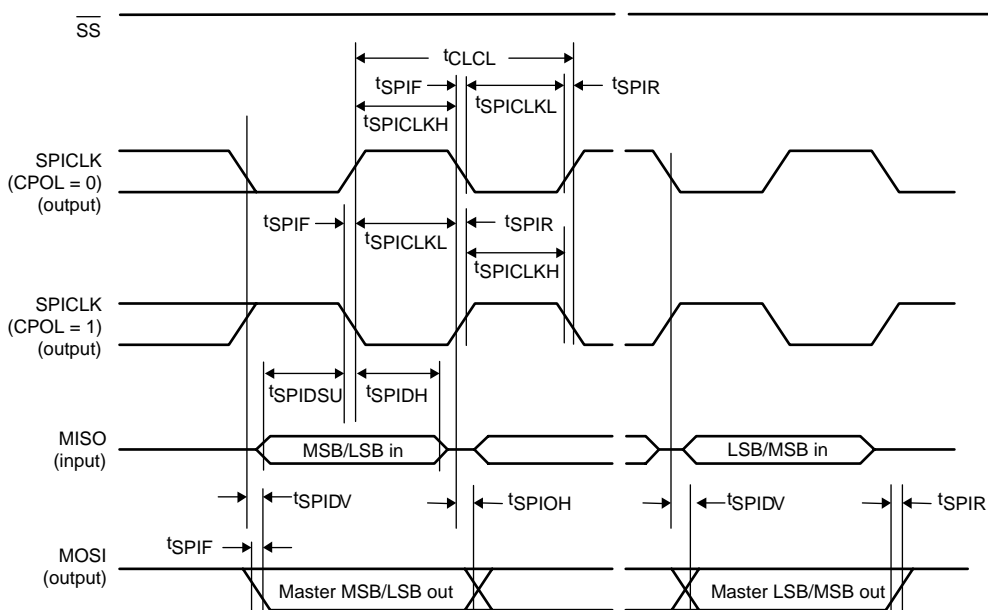


图 22 SPI 主机时序 (CPHA=0)

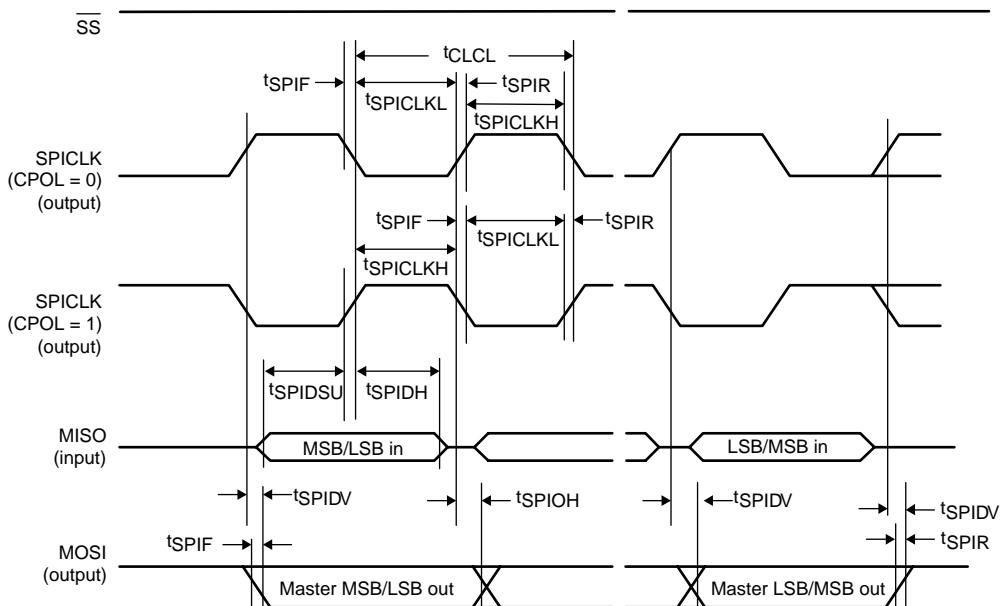


图 23 SPI 主机时序 (CPHA=1)

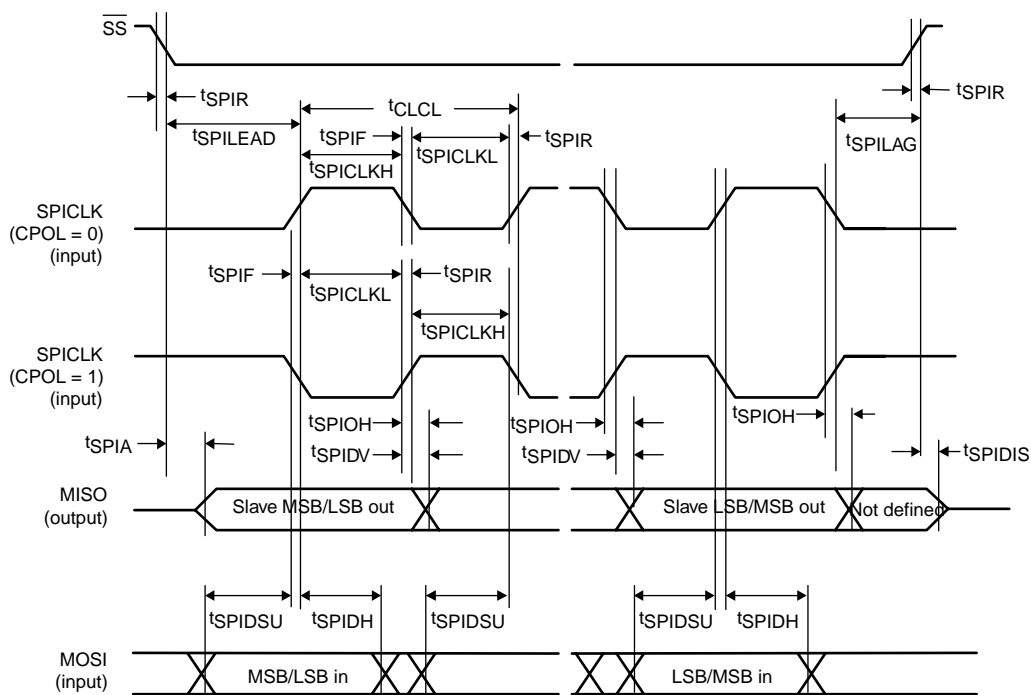


图 24 SPI 从机时序 (CPHA=0)

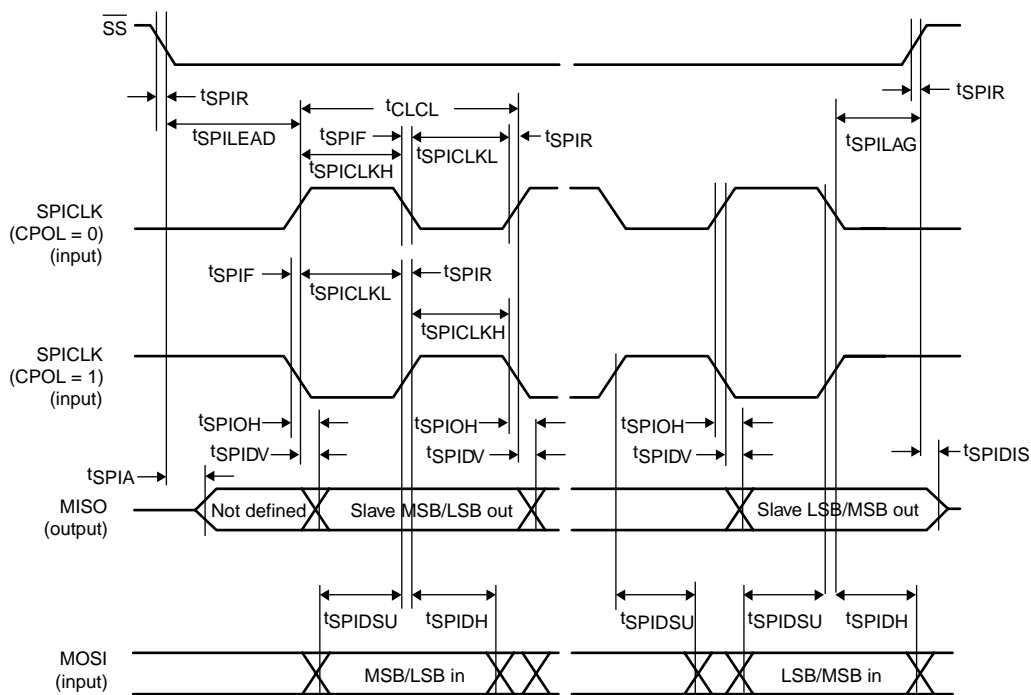


图 25 SPI 从机时序 (CPHA=1)

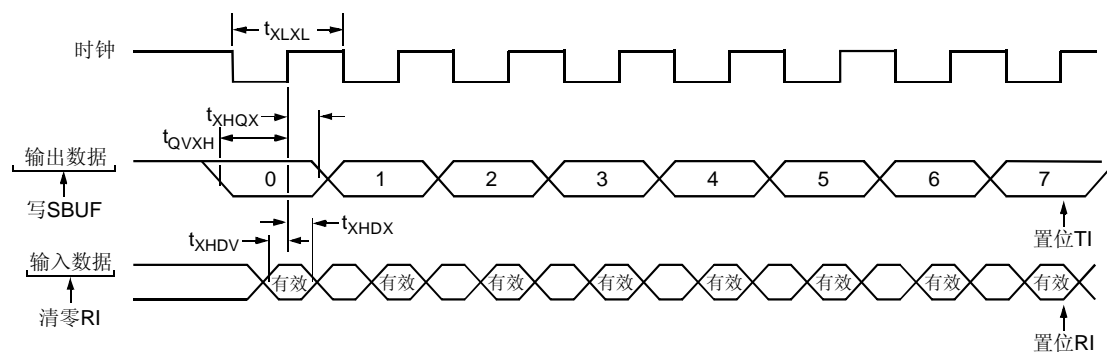


图 26 移位寄存器模式时序

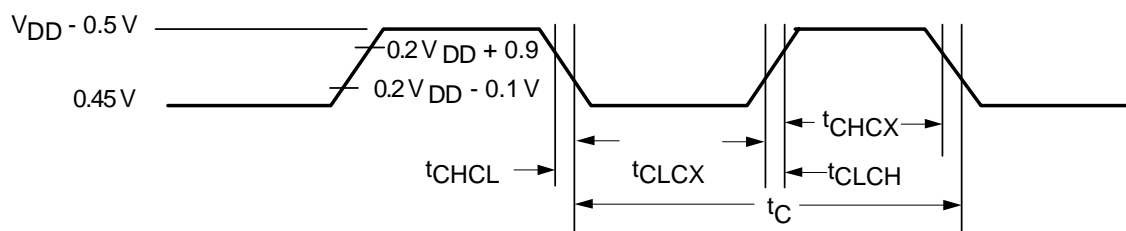


图 27 外部时钟时序

13.比较器电气特性

表 16 比较器电气特性

$V_{DD} = 2.4V \sim 3.6V$, 除非特别说明。

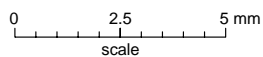
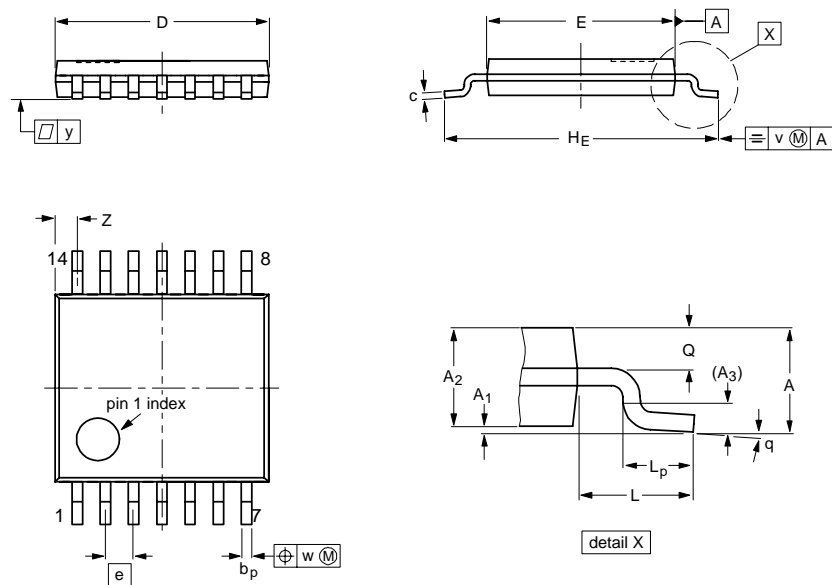
$T_{amb} = -40^{\circ}C \sim +85^{\circ}C$, 工业级, 除非特别说明。

符号	参数	条件	最小	典型	最大	单位
V_{IO}	比较器输入偏移电压		-	-	± 20	mV
V_{CR}	比较器共模输入范围		0	-	$V_{DD}-0.3$	V
CMRR	共模抑制比		[1] -	-	-50	dB
	响应时间		-	250	500	ns
	比较器使能到输出有效		-	-	10	μs
I_{IL}	比较器输入漏电流	$0 < V_{IN} < V_{DD}$	-	-	± 10	μA

[1]该参数由其特性保证, 而不是由产品测得。

14.封装

TSSOP14: 14脚, 本体宽度 4.4mm

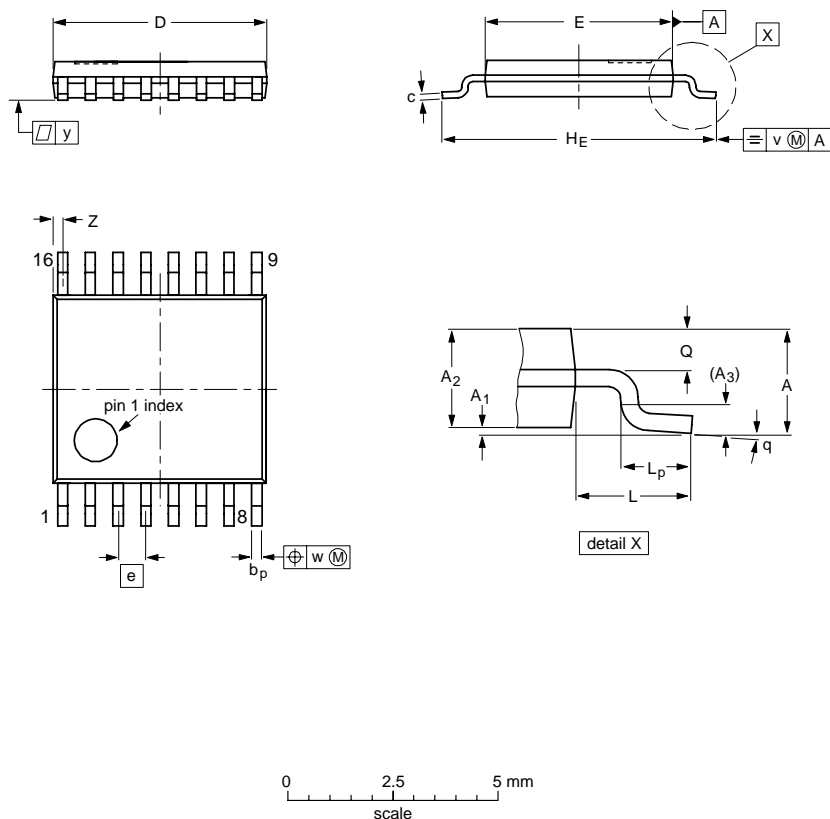


DIMENSIONS (mm are the original dimensions)

UNIT	A max.	A ₁	A ₂	A ₃	b _p	c	D ⁽¹⁾	E ⁽²⁾	e	H _E	L	L _p	Q	v	w	Ƴ	(1)	q
mm	1.1	0.15 0.05	0.95 0.80	0.25	0.30 0.19	0.2 0.1	5.1 4.9	4.5 4.3	0.65	6.6 6.2	1	0.75 0.50	0.4 0.3	0.2	0.13	0.1	0.72 0.38	8° 0°

图 28 SOT402-1(TSSOP14)

TSSOP16: 16 脚, 本体宽度 4.4mm



DIMENSIONS (mm are the original dimensions)

UNIT	A max.	A ₁	A ₂	A ₃	b _p	c	D ⁽¹⁾	E ⁽²⁾	e	H _E	L	L _p	Q	v	w	y	(1)	q
mm	1.1	0.15 0.05	0.95 0.80	0.25	0.30 0.19	0.2 0.1	5.1 4.9	4.5 4.3	0.65	6.6 6.2	1	0.75 0.50	0.4 0.3	0.2	0.13	0.1	0.40 0.06	8° 0°

图 29 SOT403-1(TSSOP16)

15.修改记录

版本号	发行日期	CPCN	描述
04	20041217	-	产品数据 (9397 750 14397) 修改: • 增加温度扩展的器件 (P89LPC15HDH) • 增加 18MHz 的信息
03	20040701	-	初步数据 (9397 750 13522)
02	20040512	-	初步数据 (9397 750 13278)
01	20040408	-	初步数据 (9397 750 12986)

红色部分表示改动或新增的内容。