

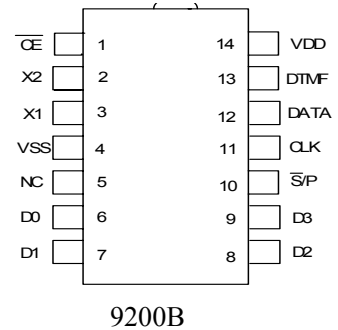
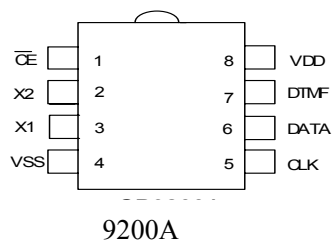
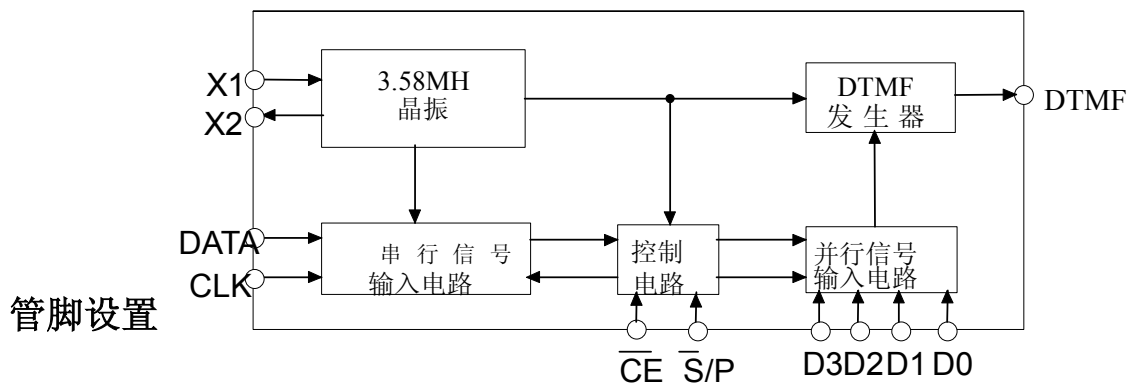
概述

9200A/B 拨号器是面向 μC 接口设计的,通过 μC 在 DTMF 管脚产生 16 个双频和 8 个单频信号。9200A 提供了串行工作模式,而 9200B 提供了可选的串并工作模式接口,应用于安全系统、家庭自动化、遥控技术、通信系统等领域。

特性

- 工作电压:2.0V~5.5V
- 9200A 工作在串行模式
- 9200B 工作在串行/并行模式
- 低电流工作方式
- 低波形失真
- 3.58MHz 晶振或陶瓷振荡器

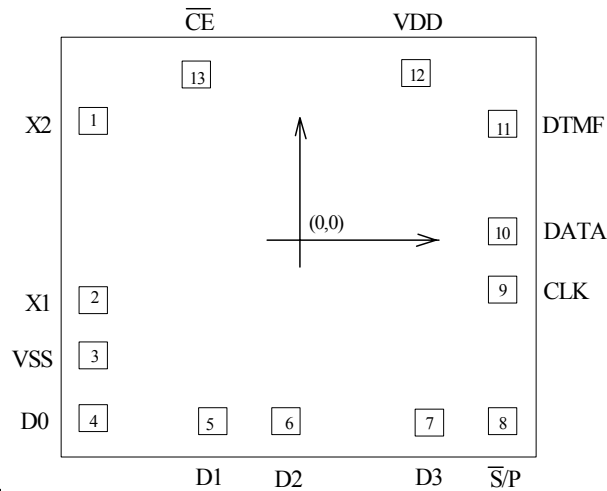
内部结构框图



功能选择表

型号 \ 性能	工作电压	振荡频率	接口	封装
9200A	2V~5.5V	3.58MHz	串行	8 DIP/SOP
9200B	2V~5.5V	3.58MHz	串行/并行	14 DIP/SOP

压点排列



芯片尺寸 :1200×1100

*集成电路在 PCB 板上布局，衬底接 VSS。

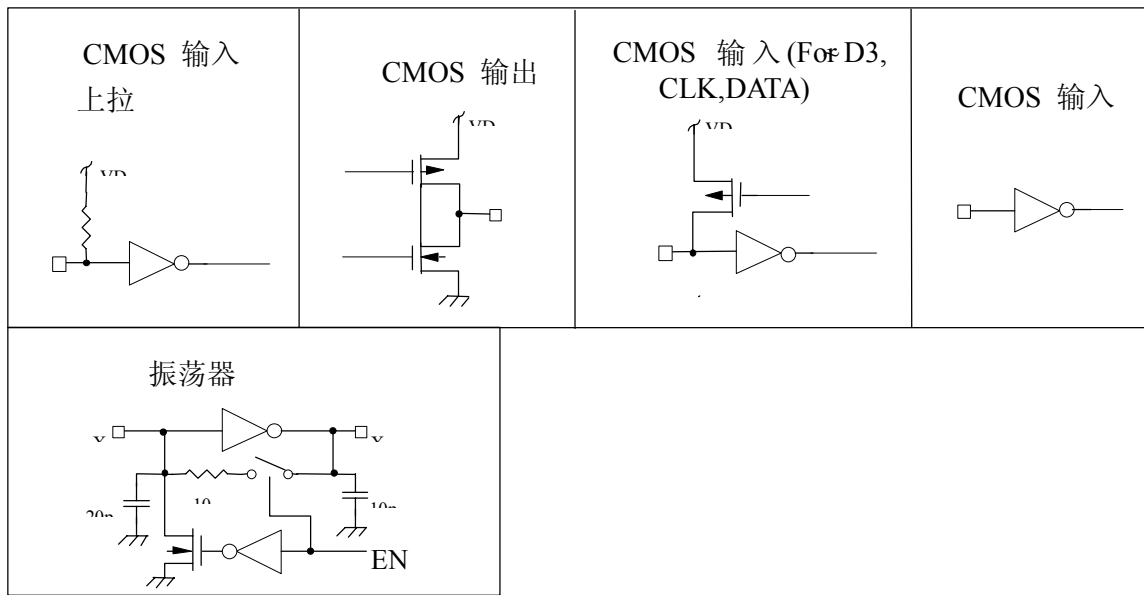
管脚描述

管脚名称	I/O	内在连接	描述
CE	I	CMOS 输入 上拉	芯片使能端，低电平有效。
X2	O	振荡器	在芯片内含有反相器，偏置电阻，负载电容组成的振荡器。振荡器功能是通过把标准频率为 3.579545MHz 的晶振和 X1X2 端口相连接来实现的。
X1	I		
VSS	--	--	负电源
NC	--	--	空
D0-D3	I	CMOS 输入 上拉或悬空	并行工作模式的数据输入 当电路工作在串行模式，在数据输入端（D0-D3）需加上拉电阻。当工作在并行模式，这些管脚悬空。

续：

S/P	I	CMOS 输入	工作模式选择输入： S/P=“H”：并行模式 S/P=“L”：串行模式
CLK	I	CMOS 输入 上拉或悬空	串行模式数据同步时钟输入。 当电路工作在并行模式，在输入端（CLK）加一个上拉电阻。 当工作在串行模式，这个管脚悬空。
DATA	I	CMOS 输入 上拉或悬空	串行模式数据输入端口 当电路工作在并行模式，在输入端（DATA）加一个上拉电阻。 当工作在串行模式，这个管脚悬空。
DTMF	O	CMOS 输出	DTMF 信号的输出端。
VDD	--		正电源，正常工作情况下：2.0~5.5V

内部电路连接



极限工作范围

电源电压.....-0.3V to 6V

存储温度.....-50°C to 125°C

输入电压.....V_{SS}-0.3V to V_{DD}+0.3V

工作温度... ..-20°C to 75°C

***注意：**这仅仅是应力测试。应力超出上述所述范围，将导致器件损坏。器件在超出上述范围工作，在极端情况下会影响到器件的可靠性。

电特性

符号	参数	测试条件		时间	平均值	最大值	单位
		V _{DD}	条件				
V _{DD}	工作电压	--	--	2	--	5.5	V
I _{DD}	工作电流	2.5V	$\overline{S/P}=\overline{V_{DD}}$, D0~D3= $\overline{V_{SS}}$, CE= $\overline{V_{SS}}$,无负载	--	240	2500	μ A
		2.5V		--	950	3000	
V _{IL}	“低”输入电压	--	--	V _{SS}	--	0.2V _{DD}	V
V _{IH}	“高”输入电压	--	--	0.8V _{DD}	--	V _{DD}	V
I _{STB}	维持电流	2.5V	S/P=V _{DD} , CE=V _{DD} , 空载	--	--	1	μ A
		5.0V		--	--	2	
R _P	上拉电阻	2.5V	V _{OL} =0V	120	180	270	k Ω
		5.0V--		45	68	100	
t _{DE}	DTMF 输出延迟 (并行模式)	5V	--	--	t _{UP} +6	t _{UP} +8	ms
V _{TDC}	DTMF 输出直流电平	2V~5.5V	DTMF 输出	0.45V _{DD}	--	0.75V _{DD}	V
I _{TOL}	DTMF 接收电流	2.5V	V _{DTMF} =0.5V	-0.1	--	--	mA
V _{TAC}	DTMF 输出交流电平	2.5V	行组, R _L =5k Ω	0.12	0.15	0.18	V _{rms}
A _{CR}	列预加重	2.5V	行组=0dB	1	2	3	dB
R _L	DTMF 输出阻抗	2.5V	t _{HD} ≤-23dB	5	--	--	k Ω
t _{HD}	音频信号失真	2.5V	R _L =5k Ω	--	-30	-23	dB
f _{CLK}	时钟输入频率(串行模式)	--	--	--	100	500	kHz
t _{UP}	振荡器起始时间 (当 CE 为低电平)	5.0V	即从 CE 下降沿到 振荡器工作的时间	--	--	10	ms
f _{OSC}	系统频率	--	晶振频率 =3.5795MHz	3.5759	3.579 5	3.5831	MHz

功能介绍

9200A/B 是面向 μC 接口的拨号器，在串行工作模式或并行工作模式下由 μC 控制。

串行工作模式(9200A/B)

串行模式采用单输入，5 比特代码，同步时钟来传输 DTMF 信号。每个数据的传输要被 5 比特的输入来选择，D0 (LSB) 是被接收到的第一个比特。9200A/B 在时钟下降沿 (CLK 管脚) 锁存数据。数字代码和输出频率之间的关系见表 1，控制时序见图 1

当系统工作在串行模式，一个上拉电阻需要连接到输入端口 D0~D3 (并行模式)。

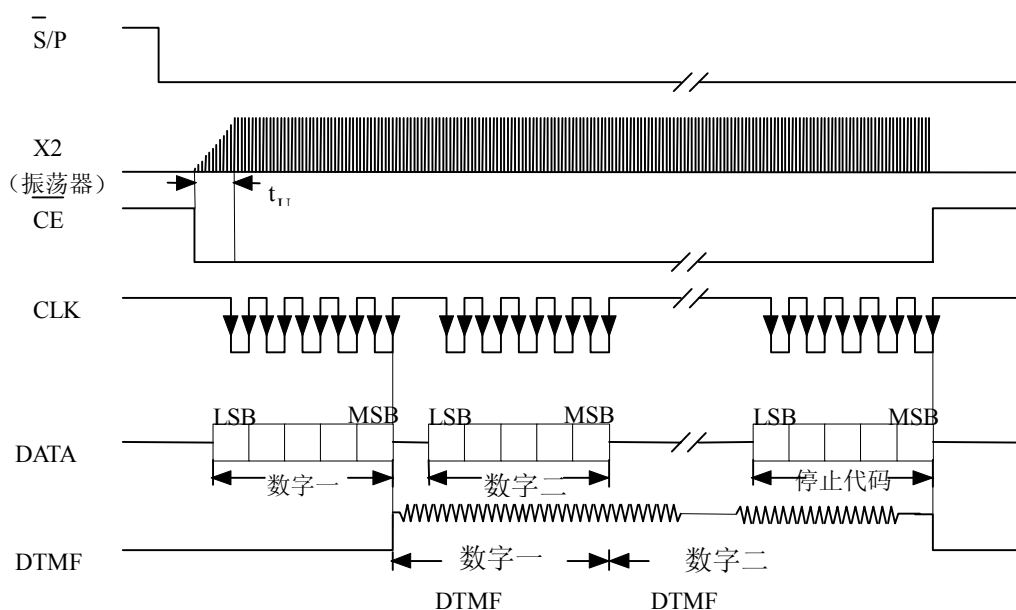


图 1

表 1:数字、数据输入、音频信号输出频率比较（串行模式）

数字	D4	D3	D2	D1	D0	音频信号输出频率 (Hz)
1	0	0	0	0	1	697+1209
2	0	0	0	1	0	697+1336
3	0	0	0	1	1	697+1477
4	0	0	1	0	0	770+1209
5	0	0	1	0	1	770+1336
6	0	0	1	1	0	770+1477
7	0	0	1	1	1	852+1209
8	0	1	0	0	0	852+1336
9	0	1	0	0	1	852+1477
0	0	1	0	1	0	941+1336
*	0	1	0	1	1	941+1209
#	0	1	1	0	0	941+1477
A	0	1	1	0	1	697+1633
B	0	1	1	1	0	770+1633
C	0	1	1	1	1	852+1633
D	0	0	0	0	0	941+1633
—	1	0	0	0	0	697
—	1	0	0	0	1	770
—	1	0	0	1	0	852
—	1	0	0	1	1	941
—	1	0	1	0	0	1209
—	1	0	1	0	1	1336
—	1	0	1	1	0	1477
—	1	0	1	1	1	1633
DTMFOFF	1	1	1	1	1	—

*注：未列入表 1 内的代码不被使用，D4 是 MSB

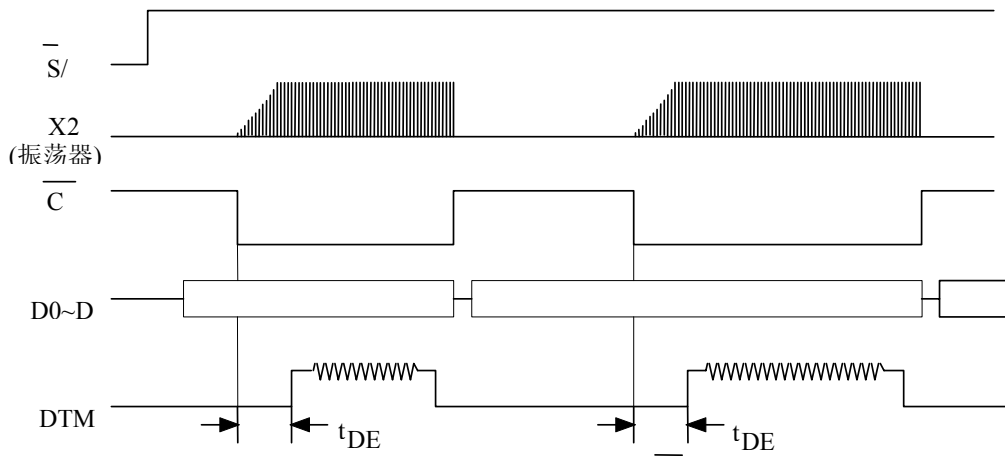
并行模式 (9200B)

9200B 提供 4 个数据输入端 D0~D3，产生 DTMF 通信信号。为了工作在并行模式，S/P 需要接到高电平，然后确定输入数据代码，最后，为了从 DTMF 管脚产生 DTMF 信号，把 CE 连到低电平。

T_{DE} (约 6ms) 是指从 CE 下降沿到 DTMF 信号输出这段延迟时间。

数字代码和输出信号频率之间的关系，参见表 2。

当系统工作在并行模式，D0~D3 悬空。但这些数据输入管脚不能悬空。



*注意：在 CE 转为低电平前，数据 (DATA) 必须就绪

图 2

表 2:数字、输入数据、输出音频信号频率比较（并行模式）

数字	D3	D2	D1	D0	音频信号输出频率 (Hz)
1	0	0	0	1	697+1209
2	0	0	1	0	697+1336
3	0	0	1	1	697+1477
4	0	1	0	0	770+1209
5	0	1	0	1	770+1336
6	0	1	1	0	770+1477
7	0	1	1	1	852+1209
8	1	0	0	0	852+1336
9	1	0	0	1	852+1477
0	1	0	1	0	941+1336
*	1	0	1	1	941+1209
#	1	1	0	0	941+1477
A	1	1	0	1	697+1633
B	1	1	1	0	770+1633
C	1	1	1	1	852+1633
D	0	0	0	0	941+1633

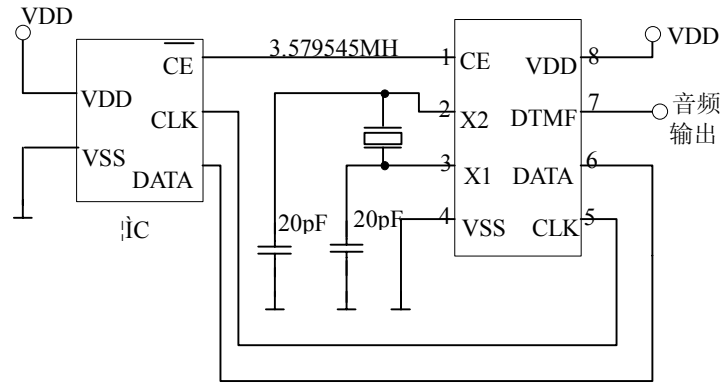
音频频率

输出频率 (Hz)		%误差
理论值	实际值	
697	699	+0.29%
770	766	-0.52%
852	847	-0.59%
941	948	+0.74%
1209	1215	+0.50%
1336	1332	-0.30%
1477	1472	-0.34%

%误差不包括晶振的偏差。

应用电路

串行模式



串/并模式

